

EFM8 Sleepy Bee 产品系列

EFM8SB1 数据表



EFM8SB1 是 Sleepy Bee 产品系列的 MCU，是全球最节能的小封装且功能全面的多用途 8 位微控制器。

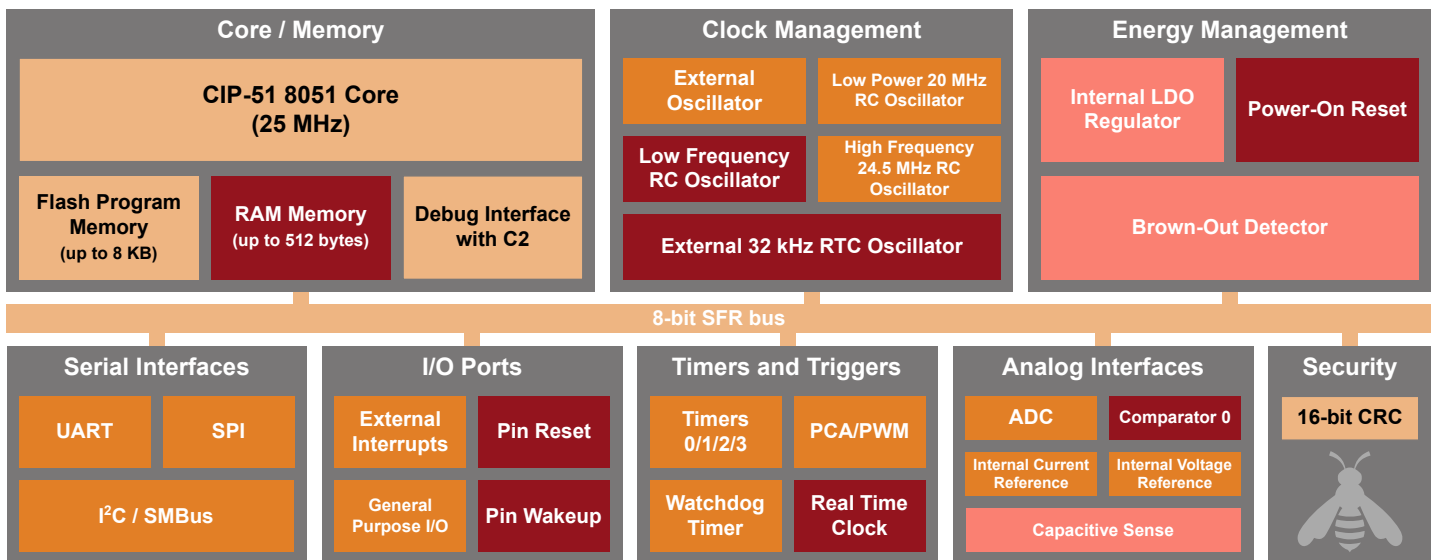
这些设备采用小型封装，结合创新的低功耗技术，从节能模式中唤醒时间短，非常适合所有电池驱动式应用。EFM8SB1 产品系列采用高效的 8051 内核，具有 14 个高品质电容感测通道和高精度模拟功能，是嵌入式应用的最佳选择。

EFM8SB1 可用于以下应用：

- 触摸板/键盘
- 可穿戴产品
- 仪表板
- 电池驱动式消费电子设备

节能

- 最低 MCU 睡眠电流和电源掉电检测 (50 nA)
- 最低 MCU 有效电流 (24.5 MHz 时 150 μ A / MHz)
- 最低 MCU 唤醒触摸平均电流 (< 1 μ A)
- 使用内部 RTC 和电源掉电时的最低睡眠电流 (< 300 nA)
- 数字和模拟外围设备的快速唤醒 (< 2 μ s)
- 集成 LDO 以在所有电压下保持超低有效电流



Lowest power mode with peripheral operational:

- Normal
- Idle
- Suspend
- Sleep

1. 功能列表

EFM8SB1 突出功能如下所列。

- 内核：
 - 流水线式 CIP-51 内核
 - 与标准 8051 指令集完全兼容
 - 70% 指令的执行时间为 1-2 系统时钟周期
 - 25 MHz 最高工作频率
- 内存：
 - 最高 8 kB 闪存，可在系统内对固件重新编程。
 - 最高 512 字节 RAM (包括 256 字节标准 8051 RAM 和 256 字节片上 XRAM)
- 电源：
 - 用于 CPU 内核电压的内部 LDO 稳压器
 - 加电复位电路和掉电检测器
- I/O: 最多共 17 组多功能 I/O 引脚：
 - 用于外围路由的灵活的外围设备交叉开关
 - 5 mA 源电流, 12.5 mA 吸收器允许直接驱动 LED
- 时钟源：
 - 内部 20 MHz 低功耗振荡器, 精度 $\pm 10\%$
 - 内部 24.5 MHz 高精度振荡器, 精度 $\pm 2\%$
 - 内部 16.4 kHz 低频振荡器或 RTC 32 kHz 晶体 (RTC 晶体对 CSP16 封装不可用)
 - 外部晶体、RC、C 和 CMOS 时钟选项
- 定时器/计数器和 PWM：
 - 32 位实时时钟 (RTC)
 - 3 信道可编程计数器阵列 (PCA), 支持 PWM、捕获/比较、带有看门狗定时器功能的频率输出模式
 - 4 个 16 位通用计时器
- 通信和数字外围设备：
 - UART
 - SPI™ 主/从
 - SMBus™ / I2C™ 主/从
 - 16 位 CRC 单元, 支持 256 字节边界内闪存自动 CRC
- 模拟：
 - 电容感测 (CS0)
 - 可编程参考电流 (IREFO)
 - 12 位 AD 转换器 (ADCO)
 - 1 个低电流模拟比较器
- 片上非侵入式调试
 - 全内存和寄存器检查
 - 四个硬件断点、单步执行
- 预装 UART 引导程序
- -40 至 85 °C 温度范围
- 单电源 1.8 至 3.6 V
- QSOP24、QFN24、QFN20 和 CSP16 封装

借助芯片上加电复位、电源电压监控器、监视程序定时器和时钟振荡器, EFM8SB1 设备成为真正独立的系统单芯片解决方案。闪存是可编程内部电路, 提供非易失性数据存储以及支持固件的现场升级。片上调试接口 (C2) 允许使用安装在最终应用中的生产 MCU 进行非侵入式 (不使用片上资源)、全速、内部电路调试。此调试逻辑支持检查和修改存储器与寄存器、设置断点、单步执行以及运行和停止命令。进行调试时, 所有模拟和数字外围设备的功能都得到充分发挥。每个设备都指定为 1.8 至 3.6 V 工作电压。设备已经过 AEC-Q100 认证 (3 级), 而且可用于 16 引脚 CSP、20 引脚 QFN、24 引脚 QFN 或 24 引脚 QSOP 封装。所有封装选项均符合无铅和 RoHS 要求。

Note: 可使用符合行业标准的表面安装装配技术处理并焊接 CSP 设备。但是, 由于 CSP 设备主要采用硅制成, 并非密封在塑料内, 这些设备易受到机械损伤的影响, 且可能对光照十分敏感。当必须在暴露于光照的环境中使用 CSP 封装时, 可能需要使用不透明材料覆盖在顶部和侧面。

2. 订购信息

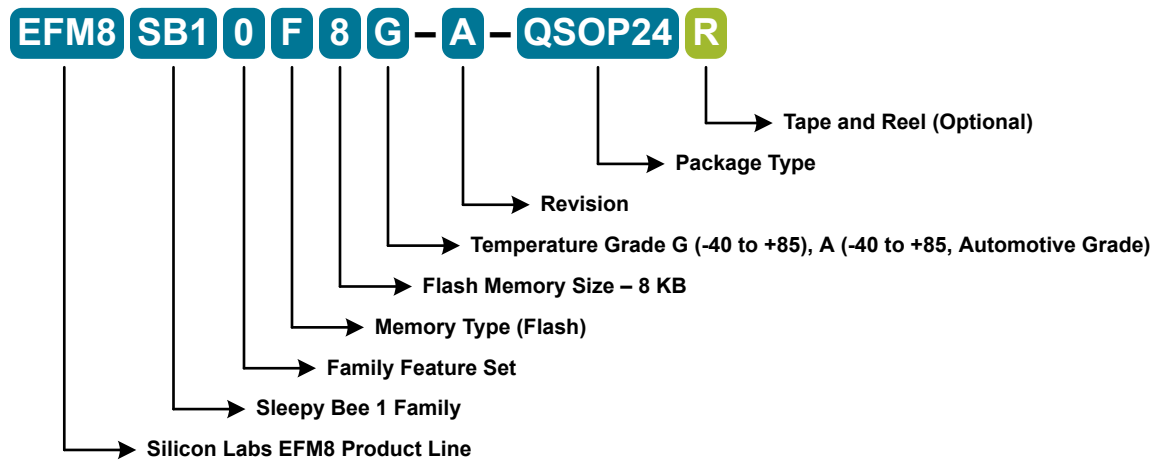


Figure 2.1. EFM8SB1 部件编号

所有 EFM8SB1 产品系列都具备以下功能：

- 运行频率高达 25 MHz 的 CIP-51 内核
- 三种内部振荡器（24.5 MHz、20 MHz 和 16 kHz）
- SMBus/I2C
- SPI
- UART
- 3 信道可编程计数器阵列（PWM、时钟生成、捕获/比较）
- 4 个 16 位定时器
- 模拟比较器
- 6 位电流源参考
- 12 位 AD 转换器，配有集成多路复用器、电压参考和温度传感器
- 16 位 CRC 单元
- 已经过 AEC-Q100 认证（3 级）
- 预装 UART 引导装载程序

除了这些功能外，EFM8SB1 系列的各元件随产品系列不同而具有不同的功能集。产品选择指南列出了各系列元件的可用功能。

Table 2.1. Product Selection Guide

Ordering Part Number	Flash Memory (kB)	RAM (Bytes)	Digital Port I/Os (Total)	ADC0 Channels	Capacitive Touch Inputs	Pb-free (RoHS Compliant)	Temperature Range	Package
EFM8SB10F8G-A-QSOP24	8	512	17	10	14	Yes	-40 to +85 C	QSOP24
EFM8SB10F8G-A-QFN24	8	512	17	10	14	Yes	-40 to +85 C	QFN24
EFM8SB10F8G-A-QFN20	8	512	16	9	13	Yes	-40 to +85 C	QFN20G
EFM8SB10F8G-A-CSP16	8	512	13	9	12	Yes	-40 to +85 C	CSP16
EFM8SB10F4G-A-QFN20	4	512	16	9	13	Yes	-40 to +85 C	QFN20G
EFM8SB10F2G-A-QFN20	2	256	16	9	13	Yes	-40 to +85 C	QFN20G

Ordering Part Number	Flash Memory (kB)	RAM (Bytes)	Digital Port I/Os (Total)	ADC0 Channels	Capacitive Touch Inputs	Pb-free (RoHS Compliant)	Temperature Range	Package
EFM8SB10F8A-A-QFN24	8	512	17	10	14	Yes	-40 to +85 C	QFN24
EFM8SB10F8A-A-QFN20	8	512	16	9	13	Yes	-40 to +85 C	QFN20A

A 级（即 EFM8SB10F8A-A-QFN20）设备可获得全汽车质量生产现状，包括 AEC-Q100 认证、国际材料数据系统（IMDS）注册和部件生产批准工艺（PPAP）文档。欲了解 PPAP 文档，可利用已注册且经过 NDA 批准的用户账户登录 www.silabs.com 获取。

3. 系统概述

3.1 介绍

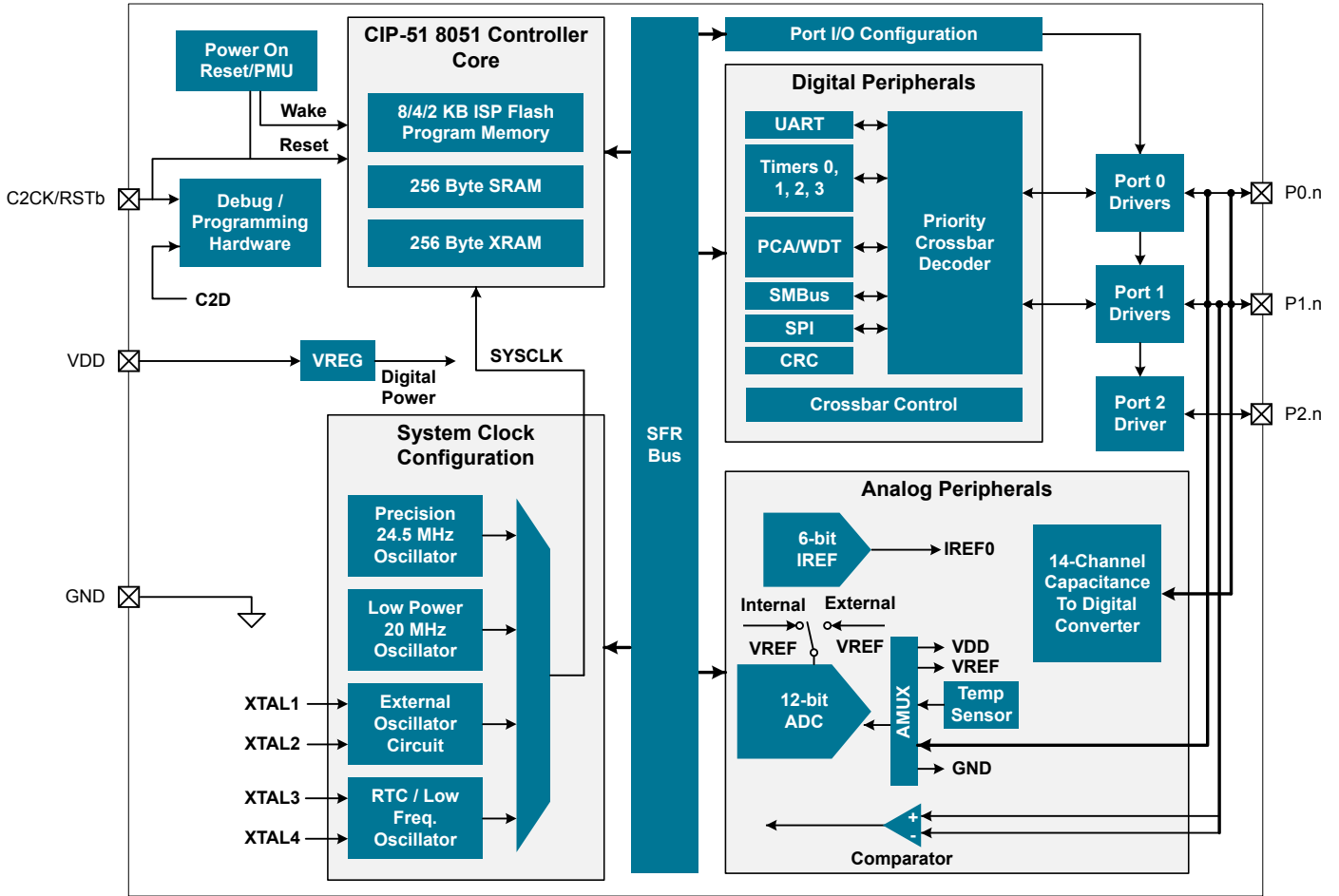


Figure 3.1. EFM8SB1 方框图详情

本部分描述的是较高水平的 EFM8SB1 产品系列。欲了解关于各个模块的更多信息，包括寄存器定义，请参见 EFM8SB1 参考手册。

3.2 电源

所有内部电路由 VDD 供电引脚供电。外部 I/O 引脚由 VIO 电源电压供电（或设备上无独立 VIO 连接的 VDD），大多数内部电路由片上 LDO 调节器供电。根据需要启用/禁用各个外围设备可以控制设备功耗。每个模拟外围设备在不使用时都可以禁用，从而置于低功耗模式。在不使用数字外围设备（如定时器或串行总线）时，时钟将关闭且消耗较少电量。

Table 3.1. 电源模式

电源模式	详情	进入模式	唤醒源
普通模式	为内核和所有外围设备设定时钟，且均完全运行	—	—
空闲模式	<ul style="list-style-type: none"> 内核暂停 为所有外围设备设定时钟，且完全运行 发生唤醒事件时恢复执行代码 	在 PCON0 中设置 IDLE 位	任何中断
挂起模式	<ul style="list-style-type: none"> 内核和数字外围设备暂停 禁用内部振荡器 发生唤醒事件时恢复执行代码 	<ol style="list-style-type: none"> 将 SYSCLK 切换为 HFOSCO 或 LPOSCO 在 PMUOCF 中设置 SUSPEND 位 	<ul style="list-style-type: none"> RTC0 警报事件 RTC0 失败事件 CS0 中断 端口匹配事件 比较器 0 上升沿
停止	<ul style="list-style-type: none"> 所有内部电源网络均关闭 引脚保持其状态 发生任何复位源时退出 	在 PCON0 中设置 STOP 位	任何复位源
睡眠模式 ¹	<ul style="list-style-type: none"> 多数内部电源网络关闭 选择电路保持上电 引脚保持其状态 所有 RAM 和 SFR 保持其状态 发生唤醒事件时恢复执行代码 	<ol style="list-style-type: none"> 禁用未用的模拟外围设备 在 PMUOCF 中设置 SLEEP 位 	<ul style="list-style-type: none"> RTC0 警报事件 RTC0 失败事件 端口匹配事件 比较器 0 上升沿
Note:			
1. 进入睡眠模式可能会断开激活的调试会话。			

3.3 I/O

数字和模拟资源可以通过设备的多功能 I/O 引脚来实现外部调用。端口引脚 P0.0 - P1.7 可以被定义为通用 I/O (GPIO)，通过交叉开关或专用信道被分配至其中一个内部数字资源，或者被分配至模拟功能。端口引脚 P2.7 可被用作 GPIO。此外，C2 接口数据信号 (C2D) 可与 P2.7 共享。

- 最高 17 个多功能 I/O 引脚，支持数字和模拟功能。
- 数字外围设备分配的灵活的优先交叉开关译码器。
- 各引脚配有两个驱动强度设置。
- 配有专用中断向量 (INT0 和 INT1) 的两个直接引脚中断源。
- 配有共用中断向量 (端口匹配) 的最多 16 个直接引脚中断源。

3.4 时钟

CPU 内核和外围设备子系统可以按照内部和外部振荡器资源来设定时钟。默认情况下，系统时钟运行的情况为：20 MHz 低功耗振荡器 8 分频。

- 为内核和外围设备提供时钟。
- 20 MHz 低功耗振荡器 (LPOSCO)，随电源和温度变化，精度为 $\pm 10\%$ 。
- 24.5 MHz 内部振荡器 (LPOSCO)，随电源和温度变化，精度为 $\pm 2\%$ 。
- 16.4 kHz 低频振荡器 (LFOSCO) 或外部 RTC 32 kHz 晶体。
- 外部 RC、C、CMOS 和 高频晶体时钟选项 (EXTCLK)。
- 时钟分频器具有八个设置，可实现灵活的时钟调整：将所选的时钟源分频为：1、2、4、8、16、32、64 或 128。

3.5 定时器/计数器和 PWM

实时时钟 (RTC)

RTC 是超低功耗、36 小时 32 位独立计时且带有警报的实时时钟。RTC 具有专用 32 kHz 振荡器。无需外部电阻或负载电容，如果外部晶振故障，缺失时钟检测器功能将使系统发出警报。片上负载电容可编程为 16 种离散电平，兼容各种晶体。

RTC 模块包括以下功能：

- 长达 36 小时 (32 位) 独立计时。
- 支持内部 16.4 kHz 低频振荡器 (LFOSC0) 或外部 32 kHz 晶体 (晶体不适用于 CSP16 封装)。
- 16 级内部晶体负载电容。
- 运行于最低电源模式下并覆盖所支持的全部电压范围。
- 从最低电源模式下唤醒或复位设备的警报和振荡器故障事件。
- 即使在最低电源模式下其他系统设备仍可用缓冲时钟输出。

可编程计数器阵列 (PCAO)

可编程计数器阵列 (PCA) 提供增强的定时器和 PWM 功能的多个信道，与标准计数器/定时器相比，它需要较少的 CPU 干预。PCA 的各信道由一个专用的 16 位计数器/定时器和一个 16 位捕获/比较模块组成。计数器/定时器由具有灵活的外部 and 内部时钟选项的可编程时基驱动。每个捕获/比较模块可配置为在五种模式中的一种模式下独立运行：边沿触发捕获、软件定时器、高速输出、频率输出、或脉宽调制 (PWM) 输出。每个捕获/比较模块有其自己的关联 I/O 线 (CExn)，这些线在启用时通过交叉开关连接到端口 I/O。

- 16 位时基。
- 可编程时钟分频器和时钟源选择。
- 最多三个独立配置的信道
- 8、9、10、11 和 16 位 PWM 模式 (沿对准操作)。
- 输出频率模式。
- 捕获上升沿、下降沿或任何沿。
- 比较任意波形生成函数。
- 软件定时器 (内部比较) 模式。
- 集成监视程序定时器。

定时器 (定时器 0、定时器 1、定时器 2 和定时器 3)

设备中包含几个计数器/定时器：两个是 16 位计数器/定时器与标准 8051 中的计数器/定时器兼容，另外两个是 16 位自动重新加载定时器，可用于定时外围设备或作为通用定时器使用。这些定时器可以用于测量时间间隔、对外部事件计数或生成周期性中断请求。定时器 0 和定时器 1 几乎完全相同，有四种主要工作模式。其他定时器都提供带有自动重新加载和捕获功能的 16 位和分割 8 位定时器功能。

定时器 0 和定时器 1 包括以下功能：

- 标准 8051 定时器，支持向后兼容固件和硬件。
- 时钟源包括 SYSCLK、SYSCLK (12、4 或 48 分频) 或外部时钟 (8 分频) 或外部引脚。
- 8 位自动重新加载计数器/定时器模式
- 13 位计数器/定时器模式
- 16 位计数器/定时器模式
- 双 8 位计数器/定时器模式 (定时器 0)

定时器 2 和定时器 3 是包括以下功能的 16 位定时器：

- 时钟源包括 SYSCLK、SYSCLK (12 分频) 或外部时钟 (8 分频)。
- 16 位自动重新加载定时器模式
- 双 8 位自动重新加载定时器模式
- 比较器 0 或 RTC0 捕获 (定时器 2)
- RTC0 或 EXTCLK/8 捕获 (定时器 3)

监视程序定时器 (WDTO)

设备包括 PCA0 外围设备中集成的可编程监视程序定时器 (WDT)。WDT 溢出将使 MCU 复位。为了避免复位，WDT 必须在溢出之前由应用软件重启。如果系统遇到软件或硬件故障阻止软件重启 WDT，则 WDT 溢出并复位。复位之后，WDT 自动开启并以默认最大时间间隔来运行。WDT 可以按需由系统软件禁用。RSTb 引脚的状态不受此复位的影响。

PCA0 外围设备中集成的监视程序定时器具有以下功能：

- 可编程超时间隔
- 从所选 PCA 时钟源运行
- 任何系统复位之后自动启动

3.6 通信和其他数字外围设备

通用异步接收器/发射器 (UART)

UART 是一个异步、全双工串口，它提供标准 8051 UART 的模式 1 和 3。增强的波特率支持允许各种时钟源来生成标准波特率。接收数据缓冲机制允许 UART 在软件尚未读取前一个数据字节的情况下开始接收第二个输入数据字节。

UART 模块提供以下功能：

- 异步发射和接收。
- 波特率高达 $\text{SYSCLK}/2$ (发射) 或 $\text{SYSCLK}/8$ (接收)。
- 8 位或 9 位数据。
- 自动启动和停止发生。
- 发射和接收端的单字节 FIFO。

串行外围设备接口 (SPI)

串行外围设备接口 (SPI) 模块可以访问灵活的全双工同步串行总线。SPI 可作为主设备或从属设备在 3 线或 4 线模式下运行，支持单个 SPI 总线上的多个主设备或从属设备。从选择 (NSS) 信号可配置为输入，以在从模式中选择 SPI，或在多主环境中禁用主模式操作，以避免多个主设备试图同时进行数据传输时发生 SPI 总线冲突。NSS 可以在主模式中配置为固件控制的片选输出，或被禁用以减少所需引脚的数量。在主模式中，可以用其它通用端口 I/O 引脚选择多个从属设备。

SPI 模块包括以下功能：

- 支持 3 线或 4 线主模式或从模式运行。
- 在主模式下支持的外部时钟频率为 $\text{SYSCLK}/2$ 分频，从模式下为 $\text{SYSCLK}/10$ 分频。
- 支持四种时钟相位及极性选项。
- 8 位专用时钟的时钟频率发生器。
- 支持同一数据线上的多主模式。

系统管理总线 / I2C (SMB0)

SMBus I/O 接口是一个二线的双向串行总线。SMBus 完全符合系统管理总线规范 1.1 版，并与 I²C 串行总线兼容。

SMBus 模块包括以下功能：

- 标准 (最高 100 kbps) 和快速 (400 kbps) 传输速度。
- 支持主、从和多主模式。
- 多主模式的硬件同步和仲裁。
- 时钟低延长 (时钟拉伸) 以连接到较快的主模式。
- 硬件支持 7 位从模式和一般调用地址识别。
- 固件支持 10 位从地址解码。
- 能够阻止所有从状态。
- 可编程数据建立/保持时间。

16 位 CRC (CRC0)

循环冗余校验 (CRC) 模块使用 16 位多项式执行 CRC。CRC0 接受 8 位数据流并将 16 位结果存入内部寄存器中。除了使用 CRC 模块对数据进行操作外，硬件也可以对设备的闪存内容自动执行 CRC。

CRC 模块可以为闪存验证和通信协议进行硬件计算。CRC 模块支持标准 CCITT-16 16 位多项式 (0x1021)，包括以下功能：

- 支持 CCITT-16 多项式
- 字节级位序颠倒
- 对一个或多个 256-字节块上的闪存内容自动执行 CRC
- 初始种子选择为 0x0000 或 0xFFFF

3.7 模拟

电容感测 (CS0)

电容感测子系统使用电容到数字电路来确定端口引脚上的电容。模块可以使用模块的模拟多路复用器来获取不同端口引脚的测量值。模块可被配置为测量一个端口引脚、使用自动扫描测量多个引脚、或一次测量多个信道的总电容。可选增益电路允许设计者调节最大允许电容。此外，还包括一个累加器，可配置为对输入信道的多个转换进行平均。当 CS0 外围设备完成转换时或测量值超过配置阈值时生成中断。

电容传感模块包括下列功能：

- 使用自动扫描逐个测量多个引脚或多个信道的总电容。
- 可配置输入增益。
- 硬件自动累计和平均。
- 多个内部转换启动源。
- 所有其他时钟禁用时操作暂停。
- 转换结束时或测量值超过配置阈值时中断。

可编程参考电流 (IREF0)

可编程电流参考 (IREF0) 模块可以开启电流输出或输入，配有两种输出电流设置：低功耗模式和高电流模式。低功耗模式下最大电流输出是 63 μA (1 μA 级)，高电流模式下最大电流输出是 504 μA (8 μA 级)。

IREF 模块包括以下功能：

- 可以编程来实现输出或输入电流。
- 两种运行模式：低功耗模式和高电流模式。
- 与 PCA0 模块结合使用时用于增高输出精度的微调模式。

12 位 AD 转换器 (ADC0)

ADC 是一款逐次逼近寄存器 (SAR) ADC，具有 12、10 和 8 位模式，集成了跟踪保持电路和可编程窗口检测器。该 ADC 可完全在软件控制下通过几个寄存器来配置。ADC 可通过使用模拟多路复用器配置，以测量各种不同信号。ADC 的电压参考可在内部和外部参考源之间选择。

- 高达 10 的外部输入。
- 单端 12 位和 10 位模式。
- 支持 12 位模式下每秒 75 ksp/s 样本的输出更新速率或 10 位模式下每秒 300 ksp/s 样本的输出更新速率。
- 在低功耗模式下运行时具有较低的转换速度。
- 异步硬件转换触发器，可以在软件、外部 I/O 和内部定时器来源之间选择。
- 输出数据窗口比较器允许自动范围检查。
- 支持突发模式，各转换启动触发器生成一组累计数据并具有可编程的加电稳定和跟踪时间。
- 支持转换完成和窗口比较中断。
- 灵活的输出数据格式。
- 包括内部 1.65 V 快速稳定参考并支持外部参考。
- 集成温度传感器。

低电流比较器 (CMP0)

模拟比较器用于比较两种模拟输入的电压，其中数字输出显示两者之中较高的输入电压。至设备 I/O 引脚的外部输入连接以及内部连接可通过正负输入端上彼此独立的多路复用器来启用。滞后、响应时间和电流消耗可以根据应用的具体需要进行编程。

比较器模块包括下列功能：

- 除引脚之外的输入选项：
 - 电容感测比较器输出。
 - VDD。
 - VDD 除以 2。
 - 内部连接到 LDO 输出。
 - 直接连接到 GND。
- 同步和异步输出可以通过交叉开关被路由至引脚。
- 可编程滞后位于 0 和 ± 20 mV 之间。
- 可编程响应时间。
- 在上升沿、下降沿或这两者中都可以生成中断。

3.8 复位源

复位电路允许很容易地将控制器置于一个预定义的缺省状态。在进入此复位状态时，将发生以下过程：

- 内核停止程序执行。
- 如果位复位不是仅使用加电复位，模块寄存器被初始化为指定的复位值。
- 外部端口引脚被置于已知状态。
- 中断和定时器被禁用。

如果位复位不是仅使用加电复位，则所有寄存器都被复位为寄存器说明中备注的预定义值。在复位期间 RAM 的内容不受影响；之前存储的数据在断电之前保持不变。端口 I/O 锁存器在开路漏极模式下复位为 1。在复位期间和复位之后弱上拉启用。对于电源监视器和加电复位，RSTb 引脚被驱动为低电平，直到设备退出复位状态。在退出复位状态时，程序计数器 (PC) 被复位，并且系统时钟默认为内部振荡器。监视程序定时器被启用，从位置 0x0000 开始程序执行。

设备上的复位源包括以下功能：

- 加电复位
- 外部复位引脚
- 比较器复位
- 软件触发复位
- 电源监控器复位 (监控器 VDD 电源)
- 监视程序定时器复位
- 时钟丢失检测器复位
- 闪存错误复位
- RTC0 警报或振荡器故障

3.9 调试

EFM8SB1 设备包括一个片上 Silicon Labs 2 线 (C2) 调试接口，支持闪存编程和使用安装在终端应用中的生产件进行系统内调试。C2 接口使用一个时钟信号 (C2CK) 和一个双向 C2 数据信号 (C2D) 在设备和主机系统之间传输信息。有关 C2 协议的详细信息，请参见 C2 接口规范。

3.10 引导装载程序

所有设备都配备预编程的 UART 引导装载程序。此引导装载程序驻留在闪存的最后一页中，不需要时可以擦除。

锁定字节的前一个字节是引导装载程序签名字节。如果此字节的值设为 0xA5 则表示系统中存在引导装载程序。该位置出现任何其他值都表示闪存中没有引导装载程序。

存在引导装载程序时，设备将在执行任何复位操作后，跳转至引导装载程序向量，允许运行引导装载程序。随后，引导装载程序将确定设备是应该停留在引导装载模式中，还是跳转至位于 0x0000 的复位向量。不存在引导装载程序时，设备将在执行任何复位操作后，跳转至 0x0000 的复位向量。

欲了解关于引导装载程序协议和使用率的更多信息，请参见 *AN945: EFM8 工厂引导装载程序用户指南*。欲了解应用说明，请参见 Silicon Labs 网站 (www.silabs.com/8bit-appnotes) 或通过[应用说明]方块访问 Simplicity Studio。

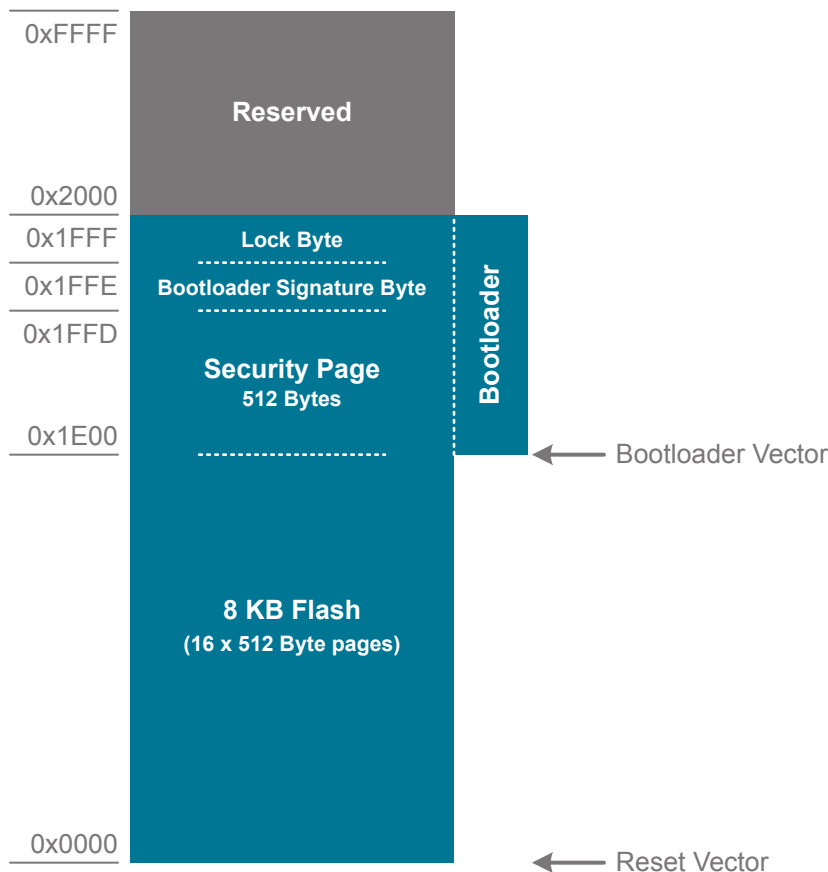


Figure 3.2. 带引导装载程序的闪存映射 — 8 kB 设备

Table 3.2. Summary of Pins for Bootloader Communication

Bootloader	Pins for Bootload Communication
UART	TX - P0.4
	RX - P0.5

Table 3.3. Summary of Pins for Bootload Mode Entry

Device Package	Pin for Bootload Mode Entry
QFN20	P2.7 / C2D
QFN24	P2.7 / C2D
QSOP24	P2.7 / C2D
CSP16	P2.7 / C2D

4. 电气规格

4.1 电气特性

除非另有说明，各表中的所有电气参数都适用于 Table 4.1 Recommended Operating Conditions on page 13（第 11 页表 4.1 “推荐操作条件”）中所列的条件。

4.1.1 建议的工作条件

Table 4.1. Recommended Operating Conditions

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Operating Supply Voltage on VDD	V _{DD}		1.8	2.4	3.6	V
Minimum RAM Data Retention Voltage on VDD ¹	V _{RAM}	Not in Sleep Mode	—	1.4	—	V
		Sleep Mode	—	0.3	0.5	V
System Clock Frequency	f _{SYSCLK}		0	—	25	MHz
Operating Ambient Temperature	T _A		-40	—	85	°C
Note: 1. All voltages with respect to GND.						

4.1.2 功耗

Table 4.2. Power Consumption

Parameter	Symbol	Conditions	Min	Typ	Max	Units
Digital Supply Current						
Normal Mode supply current - Full speed with code executing from flash ^{3, 4, 5}	I _{DD}	V _{DD} = 1.8 - 3.6 V, f _{SYSCLK} = 24.5 MHz	—	3.6	4.5	mA
		V _{DD} = 1.8 - 3.6 V, f _{SYSCLK} = 20 MHz	—	3.1	—	mA
		V _{DD} = 1.8 - 3.6 V, f _{SYSCLK} = 32.768 kHz	—	84	—	μA
Normal Mode supply current frequency sensitivity ^{1, 3, 5}	I _{DDFREQ}	V _{DD} = 1.8 - 3.6 V, T = 25 ° C, f _{SYSCLK} < 14 MHz	—	174	—	μA/MHz
		V _{DD} = 1.8 - 3.6 V, T = 25 ° C, f _{SYSCLK} > 14 MHz	—	88	—	μA/MHz
Idle Mode supply current - Core halted with peripherals running ^{4, 6}	I _{DD}	V _{DD} = 1.8 - 3.6 V, f _{SYSCLK} = 24.5 MHz	—	1.8	3.0	mA
		V _{DD} = 1.8 - 3.6 V, f _{SYSCLK} = 20 MHz	—	1.4	—	mA
		V _{DD} = 1.8 - 3.6 V, f _{SYSCLK} = 32.768 kHz	—	82	—	μA
Idle Mode Supply Current Frequency Sensitivity ^{1, 6}	I _{DDFREQ}	V _{DD} = 1.8 - 3.6 V, T = 25 ° C	—	67	—	μA/MHz
Suspend Mode Supply Current	I _{DD}	V _{DD} = 1.8 - 3.6 V	—	77	—	μA
Sleep Mode Supply Current with RTC running from 32.768 kHz crystal	I _{DD}	1.8 V, T = 25 ° C	—	0.60	—	μA
		3.6 V, T = 25 ° C	—	0.80	—	μA
		1.8 V, T = 85 ° C	—	0.80	—	μA
		3.6 V, T = 85 ° C	—	1.00	—	μA
Sleep Mode Supply Current with RTC running from internal LFO	I _{DD}	1.8 V, T = 25 ° C	—	0.30	—	μA
		3.6 V, T = 25 ° C	—	0.50	—	μA
		1.8 V, T = 85 ° C	—	0.50	—	μA
		3.6 V, T = 85 ° C	—	0.80	—	μA
Sleep Mode Supply Current (RTC off)	I _{DD}	1.8 V, T = 25 ° C	—	0.05	—	μA
		3.6 V, T = 25 ° C	—	0.08	—	μA
		1.8 V, T = 85 ° C	—	0.20	—	μA
		3.6 V, T = 85 ° C	—	0.28	—	μA
V _{DD} Monitor Supply Current	I _{VMON}		—	7	—	μA
Oscillator Supply Current	I _{HFOSCO}	25 ° C	—	300	—	μA

Parameter	Symbol	Conditions	Min	Typ	Max	Units
ADCO Always-on Power Supply Current ⁷	I _{ADC}	300 ksps, 10-bit conversions or 75 ksps, 12-bit conversions Normal bias settings V _{DD} = 3.0 V	—	740	—	μA
		150 ksps, 10-bit conversions or 37.5 ksps 12-bit conversions Low power bias settings V _{DD} = 3.0 V	—	400	—	μA
Comparator 0 (CMP0) Supply Current	I _{CMP}	CPMD = 11	—	0.4	—	μA
		CPMD = 10	—	2.6	—	μA
		CPMD = 01	—	8.8	—	μA
		CPMD = 00	—	23	—	μA
Internal Fast-Settling 1.65V ADC0 Reference, Always-on ⁸	I _{VREFFS}	Normal Power Mode	—	260	—	μA
		Low Power Mode	—	140	—	μA
Temp sensor Supply Current	I _{TSENSE}		—	35	—	μA
Capacitive Sense Module (CS0) Supply Current	I _{CS0}	CS module bias current, 25 ° C	—	50	60	μA
		CS module alone, maximum code output, 25 ° C	—	90	125	μA
		Wake-on-CS threshold (suspend mode with regulator and CS module on) ⁹	—	130	180	μA
Programmable Current Reference (IREFO) Supply Current ¹⁰	I _{IREFO}	Current Source, Either Power Mode, Any Output Code	—	10	—	μA
		Low Power Mode, Current Sink IREFODAT = 000001	—	1	—	μA
		Low Power Mode, Current Sink IREFODAT = 111111	—	11	—	μA
		High Current Mode, Current Sink IREFODAT = 000001	—	12	—	μA
		High Current Mode, Current Sink IREFODAT = 111111	—	81	—	μA

Parameter	Symbol	Conditions	Min	Typ	Max	Units
Note:						
1. Based on device characterization data; Not production tested.						
2. SYSCLK must be at least 32 kHz to enable debugging.						
3. Digital Supply Current depends upon the particular code being executed. The values in this table are obtained with the CPU executing an “sjmp \$” loop, which is the compiled form of a while(1) loop in C. One iteration requires 3 CPU clock cycles, and the flash memory is read on each cycle. The supply current will vary slightly based on the physical location of the sjmp instruction and the number of flash address lines that toggle as a result. In the worst case, current can increase by up to 30% if the sjmp loop straddles a 64-byte flash address boundary (e.g., 0x007F to 0x0080). Real-world code with larger loops and longer linear sequences will have few transitions across the 64-byte address boundaries.						
4. Includes supply current from regulator and oscillator source (24.5 MHz high-frequency oscillator, 20 MHz low-power oscillator, 1 MHz external oscillator, or 32.768 kHz RTC oscillator).						
5. IDD can be estimated for frequencies < 14 MHz by simply multiplying the frequency of interest by the frequency sensitivity number for that range, then adding an offset of 84 μ A. When using these numbers to estimate I _{DD} for > 14 MHz, the estimate should be the current at 25 MHz minus the difference in current indicated by the frequency sensitivity number. For example: V _{DD} = 3.0 V; F = 20 MHz, I _{DD} = 3.6 mA - (25 MHz - 20 MHz) x 0.088 mA/MHz = 3.16 mA assuming the same oscillator setting.						
6. Idle IDD can be estimated by taking the current at 25 MHz minus the difference in current indicated by the frequency sensitivity number. For example: V _{DD} = 3.0 V; F = 5 MHz, Idle I _{DD} = 1.75 mA - (25 MHz - 5 MHz) x 0.067 mA/MHz = 0.41 mA.						
7. ADC0 always-on power excludes internal reference supply current.						
8. The internal reference is enabled as-needed when operating the ADC in burst mode to save power.						
9. Includes only current from regulator, CS module, and MCU in suspend mode.						
10. IREF0 supply current only. Does not include current sourced or sunk from IREF0 output pin.						

4.1.3 复位和电源监控器

Table 4.3. Reset and Supply Monitor

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
VDD Supply Monitor Threshold	V _{VDDM}	Reset Trigger	1.7	1.75	1.8	V
	V _{WARN}	Early Warning	1.8	1.85	1.9	V
VDD Supply Monitor Turn-On Time	t _{MON}		—	300	—	ns
Power-On Reset (POR) Monitor Threshold	V _{POR}	Rising Voltage on V _{DD}	—	1.75	—	V
		Falling Voltage on V _{DD}	0.75	1.0	1.3	V
V _{DD} Ramp Time	t _{RMP}	Time to V _{DD} \geq 1.8 V	—	—	3	ms
Reset Delay from non-POR source	t _{RST}	Time between release of reset source and code execution	—	10	—	μ s
Reset Delay from POR	t _{POR}	Relative to V _{DD} > V _{POR}	3	10	31	ms
RST Low Time to Generate Reset	t _{RSTL}		15	—	—	μ s
Missing Clock Detector Response Time (final rising edge to reset)	t _{MCD}	F _{SYSCLK} > 1 MHz	100	650	1000	μ s
Missing Clock Detector Trigger Frequency	F _{MCD}		—	7	10	kHz

4.1.4 闪存

Table 4.4. Flash Memory

Parameter	Symbol	Test Condition	Min	Typ	Max	Units
Write Time ¹	t _{WRITE}	One Byte	57	64	71	μs
Erase Time ¹	t _{ERASE}	One Page	28	32	36	ms
Endurance (Write/Erase Cycles)	N _{WE}		20 k	100 k	—	Cycles
CRC Calculation Time	t _{CRC}	One 256-Byte Block SYSCLK = 24.5 MHz	—	21.5	—	μs

Note:

1. Does not include sequencing time before and after the write/erase operation, which may be multiple SYSCLK cycles.
2. Data Retention Information is published in the Quarterly Quality and Reliability Report.

4.1.5 电源管理定时

Table 4.5. Power Management Timing

Parameter	Symbol	Test Condition	Min	Typ	Max	Units
Idle Mode Wake-up Time	t _{IDLEWK}		2	—	3	SYSCLKs
Suspend Mode Wake-up Time	t _{SUSPENDWK}	CLKDIV = 0x00 Low Power or Precision Osc.	—	400	—	ns
Sleep Mode Wake-up Time	t _{SLEEPWK}		—	2	—	μs

4.1.6 内部振荡器

Table 4.6. Internal Oscillators

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
High Frequency Oscillator 0 (24.5 MHz)						
Oscillator Frequency	f _{HFOSCO}	Full Temperature and Supply Range	24	24.5	25	MHz
Low Power Oscillator (20 MHz)						
Oscillator Frequency	f _{LPOSC}	Full Temperature and Supply Range	18	20	22	MHz
Low Frequency Oscillator (16.4 kHz internal RTC oscillator)						
Oscillator Frequency	f _{LFOSC}	Full Temperature and Supply Range	13.1	16.4	19.7	kHz

4.1.7 晶体振荡器

Table 4.7. Crystal Oscillator

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Crystal Frequency	f_{XTAL}		0.02	—	25	MHz
Crystal Drive Current	I_{XTAL}	XFCN = 0	—	0.5	—	μ A
		XFCN = 1	—	1.5	—	μ A
		XFCN = 2	—	4.8	—	μ A
		XFCN = 3	—	14	—	μ A
		XFCN = 4	—	40	—	μ A
		XFCN = 5	—	120	—	μ A
		XFCN = 6	—	550	—	μ A
		XFCN = 7	—	2.6	—	mA

4.1.8 外部时钟输入

Table 4.8. External Clock Input

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
External Input CMOS Clock Frequency (at EXTCLK pin)	f_{CMOS}		0	—	25	MHz
External Input CMOS Clock High Time	t_{CMOSH}		18	—	—	ns
External Input CMOS Clock Low Time	t_{CMOSL}		18	—	—	ns

4.1.9 ADC

Table 4.9. ADC

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Resolution	N _{bits}	12 Bit Mode	12			Bits
		10 Bit Mode	10			Bits
Throughput Rate	f _S	12 Bit Mode	—	—	75	ksps
		10 Bit Mode	—	—	300	ksps
Tracking Time	t _{TRK}	Initial Acquisition	1.5	—	—	us
		Subsequent Acquisitions (DC input, burst mode)	1.1	—	—	us
Power-On Time	t _{PWR}		1.5	—	—	μs
SAR Clock Frequency	f _{SAR}	High Speed Mode,	—	—	8.33	MHz
		Low Power Mode	—	—	4.4	MHz
Conversion Time	T _{CNV}	10-Bit Conversion	13	—	—	Clocks
Sample/Hold Capacitor	C _{SAR}	Gain = 1	—	16	—	pF
		Gain = 0.5	—	13	—	pF
Input Pin Capacitance	C _{IN}		—	20	—	pF
Input Mux Impedance	R _{MUX}		—	5	—	kΩ
Voltage Reference Range	V _{REF}		1	—	V _{DD}	V
Input Voltage Range ¹	V _{IN}	Gain = 1	0	—	V _{REF}	V
		Gain = 0.5	0	—	2 × V _{REF}	V
Power Supply Rejection Ratio	PSRR _{ADC}	Internal High Speed VREF	—	67	—	dB
		External VREF	—	74	—	dB
DC Performance						
Integral Nonlinearity	INL	12 Bit Mode	—	±1	±1.5	LSB
		10 Bit Mode	—	±0.5	±1	LSB
Differential Nonlinearity (Guaranteed Monotonic)	DNL	12 Bit Mode	—	±0.8	±1	LSB
		10 Bit Mode	—	±0.5	±1	LSB
Offset Error	E _{OFF}	12 Bit Mode, VREF = 1.65 V	-3	0	3	LSB
		10 Bit Mode, VREF = 1.65 V	-2	0	2	LSB
Offset Temperature Coefficient	TC _{OFF}		—	0.004	—	LSB/°C
Slope Error	E _M	12 Bit Mode	—	±0.02	±0.1	%
		10 Bit Mode	—	±0.06	±0.24	%
Dynamic Performance 10 kHz Sine Wave Input 1dB below full scale, Max throughput						
Signal-to-Noise	SNR	12 Bit Mode	62	65	—	dB
		10 Bit Mode	54	58	—	dB

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Signal-to-Noise Plus Distortion	SNDR	12 Bit Mode	62	65	—	dB
		10 Bit Mode	54	58	—	dB
Total Harmonic Distortion (Up to 5th Harmonic)	THD	12 Bit Mode	—	-76	—	dB
		10 Bit Mode	—	-73	—	dB
Spurious-Free Dynamic Range	SFDR	12 Bit Mode	—	82	—	dB
		10 Bit Mode	—	75	—	dB

Note:

1. Absolute input pin voltage is limited by the V_{DD} supply.
2. INL and DNL specifications for 12-bit mode do not include the first or last four ADC codes.
3. The maximum code in 12-bit mode is 0xFFFC. The Full Scale Error is referenced from the maximum code.

4.1.10 参考电压

Table 4.10. Voltage Reference

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Internal Fast Settling Reference						
Output Voltage	V_{REFFS}		1.62	1.65	1.68	V
Temperature Coefficient	TC_{REFFS}		—	50	—	ppm/°C
Turn-on Time	t_{REFFS}		—	—	1.5	μs
Power Supply Rejection	$PSRR_{REFFS}$		—	400	—	ppm/V
External Reference						
Input Voltage	V_{EXTREF}		1	—	V_{DD}	V
Input Current	I_{EXTREF}	Sample Rate = 300 ksps; $V_{REF} = 3.0$ V	—	5.25	—	μA

4.1.11 温度传感器

Table 4.11. Temperature Sensor

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Offset	V_{OFF}	$T_A = 0\text{ }^{\circ}\text{C}$	—	940	—	mV
Offset Error ¹	E_{OFF}	$T_A = 0\text{ }^{\circ}\text{C}$	—	18	—	mV
Slope	M		—	3.40	—	mV/ $^{\circ}\text{C}$
Slope Error ¹	E_M		—	40	—	$\mu\text{V}/^{\circ}\text{C}$
Linearity			—	± 1	—	$^{\circ}\text{C}$
Turn-on Time	t_{PWR}		—	1.8	—	μs

Note:

1. Represents one standard deviation from the mean.

4.1.12 比较器

Table 4.12. Comparators

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Response Time, CPMD = 00 (Highest Speed)	t_{RESP0}	+100 mV Differential	—	120	—	ns
		- 100 mV Differential	—	110	—	ns
Response Time, CPMD = 11 (Lowest Power)	t_{RESP3}	+100 mV Differential	—	1.25	—	μ s
		- 100 mV Differential	—	3.2	—	μ s
Positive Hysterisis Mode 0 (CPMD = 00)	HYS_{CP+}	CPHYP = 00	—	0.4	—	mV
		CPHYP = 01	—	8	—	mV
		CPHYP = 10	—	16	—	mV
		CPHYP = 11	—	32	—	mV
Negative Hysterisis Mode 0 (CPMD = 00)	HYS_{CP-}	CPHYN = 00	—	-0.4	—	mV
		CPHYN = 01	—	-8	—	mV
		CPHYN = 10	—	-16	—	mV
		CPHYN = 11	—	-32	—	mV
Positive Hysterisis Mode 1 (CPMD = 01)	HYS_{CP+}	CPHYP = 00	—	0.5	—	mV
		CPHYP = 01	—	6	—	mV
		CPHYP = 10	—	12	—	mV
		CPHYP = 11	—	24	—	mV
Negative Hysterisis Mode 1 (CPMD = 01)	HYS_{CP-}	CPHYN = 00	—	-0.5	—	mV
		CPHYN = 01	—	-6	—	mV
		CPHYN = 10	—	-12	—	mV
		CPHYN = 11	—	-24	—	mV
Positive Hysterisis Mode 2 (CPMD = 10)	HYS_{CP+}	CPHYP = 00	—	0.7	—	mV
		CPHYP = 01	—	4.5	—	mV
		CPHYP = 10	—	9	—	mV
		CPHYP = 11	—	18	—	mV
Negative Hysterisis Mode 2 (CPMD = 10)	HYS_{CP-}	CPHYN = 00	—	-0.6	—	mV
		CPHYN = 01	—	-4.5	—	mV
		CPHYN = 10	—	-9	—	mV
		CPHYN = 11	—	-18	—	mV
Positive Hysterisis Mode 3 (CPMD = 11)	HYS_{CP+}	CPHYP = 00	—	1.5	—	mV
		CPHYP = 01	—	4	—	mV
		CPHYP = 10	—	8	—	mV
		CPHYP = 11	—	16	—	mV

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Negative Hysteresis Mode 3 (CPMD = 11)	HYS _{CP-}	CPHYN = 00	—	-1.5	—	mV
		CPHYN = 01	—	-4	—	mV
		CPHYN = 10	—	-8	—	mV
		CPHYN = 11	—	-16	—	mV
Input Range (CP+ or CP-)	V _{IN}		-0.25	—	V _{DD} +0.25	V
Input Pin Capacitance	C _{CP}		—	12	—	pF
Common-Mode Rejection Ratio	CMRR _{CP}		—	70	—	dB
Power Supply Rejection Ratio	PSRR _{CP}		—	72	—	dB
Input Offset Voltage	V _{OFF}	T _A = 25 ° C	-10	0	10	mV
Input Offset Tempco	TC _{OFF}		—	3.5	—	μV/° C

4.1.13 可编程参考电流 (IREF0)

Table 4.13. Programmable Current Reference (IREF0)

Parameter	Symbol	Conditions	Min	Typ	Max	Units
Static Performance						
Resolution	N _{bits}		6			bits
Output Compliance Range	V _{IOUT}	Low Power Mode, Source	0	—	V _{DD} - 0.4	V
		High Current Mode, Source	0	—	V _{DD} - 0.8	V
		Low Power Mode, Sink	0.3	—	V _{DD}	V
		High Current Mode, Sink	0.8	—	V _{DD}	V
Integral Nonlinearity	INL		—	<±0.2	±1.0	LSB
Differential Nonlinearity	DNL		—	<±0.2	±1.0	LSB
Offset Error	E _{OFF}		—	<±0.1	±0.5	LSB
Full Scale Error	E _{FS}	Low Power Mode, Source	—	—	±5	%
		High Current Mode, Source	—	—	±6	%
		Low Power Mode, Sink	—	—	±8	%
		High Current Mode, Sink	—	—	±8	%
Absolute Current Error	E _{ABS}	Low Power Mode Sourcing 20 μA	—	<±1	±3	%
Dynamic Performance						
Output Settling Time to 1/2 LSB	t _{SETTLE}		—	300	—	ns
Startup Time	t _{PWR}		—	1	—	μs
Note:						
1. The PCA block may be used to improve IREF0 resolution by PWMing the two LSBs.						

4.1.14 电容感测 (CS0)

Table 4.14. Capacitive Sense (CS0)

Parameter	Symbol	Conditions	Min	Typ	Max	Units
Single Conversion Time ¹	t_{CNV}	12-bit Mode	20	25	40	μs
		13-bit Mode (default)	21	27	42.5	μs
		14-bit Mode	23	29	45	μs
		16-bit Mode	26	33	50	μs
Number of Channels	N_{CHAN}	24-pin Packages	14			Channels
		20-pin Packages	13			Channels
		16-pin Packages	12			Channels
Capacitance per Code	C_{LSB}	Default Configuration, 16-bit codes	—	1	—	fF
Maximum External Capacitive Load	C_{EXTMAX}	CS0CG = 111b (Default)	—	45	—	pF
		CS0CG = 000b	—	500	—	pF
Maximum External Series Impedance	R_{EXTMAX}	CS0CG = 111b (Default)	—	50	—	k Ω

Note:

- Conversion time is specified with the default configuration.
- RMS Noise is equivalent to one standard deviation. Peak-to-peak noise encompasses ± 3.3 standard deviations. The RMS noise value is specified with the default configuration.

4.1.15 端口 I/O

Table 4.15. Port I/O

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Output High Voltage (High Drive) ¹	V _{OH}	I _{OH} = -3 mA	V _{DD} - 0.7	—	—	V
Output Low Voltage (High Drive) ¹	V _{OL}	I _{OL} = 8.5 mA	—	—	0.6	V
Output High Voltage (Low Drive) ¹	V _{OH}	I _{OH} = -1 mA	V _{DD} - 0.7	—	—	V
Output Low Voltage (Low Drive) ¹	V _{OL}	I _{OL} = 1.4 mA	—	—	0.6	V
Input High Voltage	V _{IH}	V _{DD} = 2.0 to 3.6 V	V _{DD} - 0.6	—	—	V
		V _{DD} = 1.8 to 2.0 V	0.7 × V _{DD}	—	—	V
Input Low Voltage	V _{IL}	V _{DD} = 2.0 to 3.6 V	—	—	0.6	V
		V _{DD} = 1.8 to 2.0 V	—	—	0.3 × V _{DD}	V
Weak Pull-Up Current	I _{PU}	V _{DD} = 1.8 V V _{IN} = 0 V	—	-4	—	μA
		V _{DD} = 3.6 V V _{IN} = 0 V	-35	-20	—	μA
Input Leakage	I _{LK}	Weak pullup disabled or pin in analog mode	-1	—	1	μA
Note:						
1. See Figure 4.3 常见 V _{OH} 曲线 on page 29 and Figure 4.4 常见 V _{OL} 曲线 on page 30 for more information.						

4.1.16 SMBus

Table 4.16. SMBus Peripheral Timing Performance (Master Mode)

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Standard Mode (100 kHz Class)						
I2C Operating Frequency	f_{I2C}		0	—	70^2	kHz
SMBus Operating Frequency	f_{SMB}		40^1	—	70^2	kHz
Bus Free Time Between STOP and START Conditions	t_{BUF}		9.4	—	—	μs
Hold Time After (Repeated) START Condition	$t_{HD:STA}$		4.7	—	—	μs
Repeated START Condition Setup Time	$t_{SU:STA}$		9.4	—	—	μs
STOP Condition Setup Time	$t_{SU:STO}$		9.4	—	—	μs
Data Hold Time	$t_{HD:DAT}$		489^3	—	—	ns
Data Setup Time	$t_{SU:DAT}$		448^3	—	—	ns
Detect Clock Low Timeout	$t_{TIMEOUT}$		25	—	—	ms
Clock Low Period	t_{LOW}		4.7	—	—	μs
Clock High Period	t_{HIGH}		9.4	—	50^4	μs
Fast Mode (400 kHz Class)						
I2C Operating Frequency	f_{I2C}		0	—	255^2	kHz
SMBus Operating Frequency	f_{SMB}		40^1	—	255^2	kHz
Bus Free Time Between STOP and START Conditions	t_{BUF}		2.6	—	—	μs
Hold Time After (Repeated) START Condition	$t_{HD:STA}$		1.3	—	—	μs
Repeated START Condition Setup Time	$t_{SU:STA}$		2.6	—	—	μs
STOP Condition Setup Time	$t_{SU:STO}$		2.6	—	—	μs
Data Hold Time	$t_{HD:DAT}$		489^3	—	—	ns
Data Setup Time	$t_{SU:DAT}$		448^3	—	—	ns
Detect Clock Low Timeout	$t_{TIMEOUT}$		25	—	—	ms
Clock Low Period	t_{LOW}		1.3	—	—	μs
Clock High Period	t_{HIGH}		2.6	—	50^4	μs

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Note:						
1. The minimum SMBus frequency is limited by the maximum Clock High Period requirement of the SMBus specification.						
2. The maximum I2C and SMBus frequencies are limited by the minimum Clock Low Period requirements of their respective specifications. The maximum frequency cannot be achieved with all combinations of oscillators and dividers available, but the effective frequency must not exceed 256 kHz.						
3. Data setup and hold timing at 25 MHz or lower with EXTHOLD set to 1.						
4. SMBus has a maximum requirement of 50 μ s for Clock High Period. Operating frequencies lower than 40 kHz will be longer than 50 μ s. I2C can support periods longer than 50 μ s.						

Table 4.17. SMBus 外围设备定时公式（主模式）

Parameter	符号	时钟
SMBus 工作频率	f_{SMB}	$f_{CS0}/3$
停止和开始条件之间的总线空闲时间	t_{BUF}	$2/f_{CS0}$
开始条件之后的保持时间（重复）	$t_{HD:STA}$	$1/f_{CS0}$
重复的开始条件设置时间	$t_{SU:STA}$	$2/f_{CS0}$
停止条件设置时间	$t_{SU:STO}$	$2/f_{CS0}$
时钟低周期	$t_{低}$	$1/f_{CS0}$
时钟高周期	$t_{高}$	$2/f_{CS0}$
Note:		
1. f_{CS0} 是 SMBus 外围设备时钟源溢流频率。		

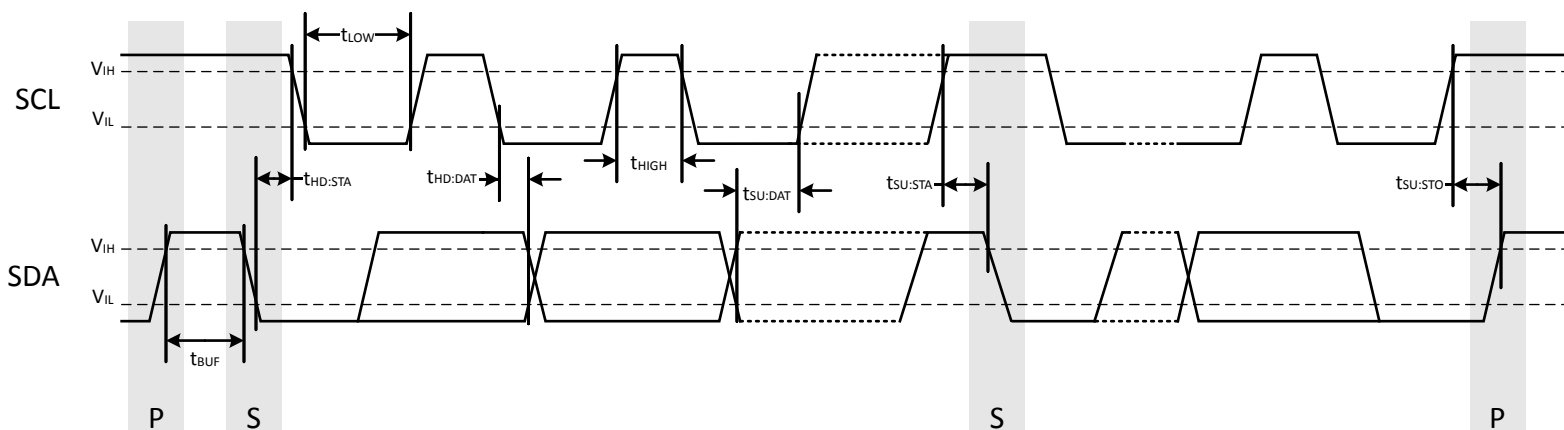


Figure 4.1. SMBus 外围设备定时图（主模式）

4.2 热能条件

Table 4.18. Thermal Conditions

Parameter	Symbol	Test Condition	Min	Typ	Max	Unit
Thermal Resistance*	θ_{JA}	QFN-24 Packages	—	35	—	° C/W
		QFN-20 Packages	—	60	—	° C/W
		QSOP-24 Packages	—	65	—	° C/W
Note:						
1. Thermal resistance assumes a multi-layer PCB with any exposed pad soldered to a PCB pad.						

4.3 绝对最大额定值

超过 Table 4.19 Absolute Maximum Ratings on page 28 (第 20 页表 4.17 “最大额定值”) 中所列的应力值可能会永久损坏设备。这仅为应力额定值, 不表示在此值之下或在此规范的操作列表中标明的额定值之上的任何其他条件下可以对设备进行功能性操作。长期在最大额定值条件下工作可影响设备的可靠性。有关质量参数和可靠性数据的更多信息, 请访问 <http://www.silabs.com/support/quality/pages/default.aspx> 参阅《质量和可靠性监视报告》。

Table 4.19. Absolute Maximum Ratings

Parameter	Symbol	Test Condition	Min	Max	Unit
Ambient Temperature Under Bias	T_{BIAS}		- 55	125	° C
Storage Temperature	T_{STG}		- 65	150	° C
Voltage on V_{DD}	V_{DD}		GND - 0.3	4.0	V
Voltage on I/O pins or RSTb	V_{IN}		GND - 0.3	$V_{DD} + 0.3$	V
Total Current Sunk into Supply Pin	I_{VDD}		—	400	mA
Total Current Sourced out of Ground Pin	I_{GND}		400	—	mA
Current Sourced or Sunk by Any I/O Pin or RSTb	I_{IO}		-100	100	mA
Maximum Total Current through all Port Pins	$I_{IO\TOT}$		—	200	mA
Operating Junction Temperature	T_J		- 40	105	° C
Exposure to maximum rating conditions for extended periods may affect device reliability.					

4.4 典型性能曲线

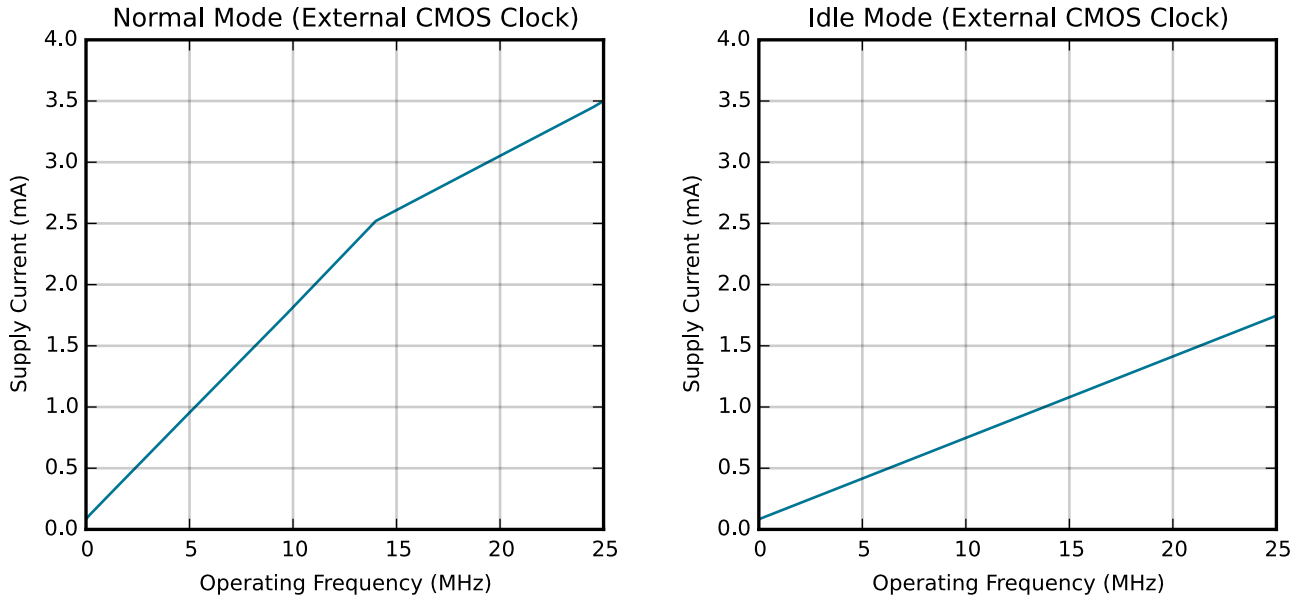


Figure 4.2. 常见工作电流 (全电源电压范围)

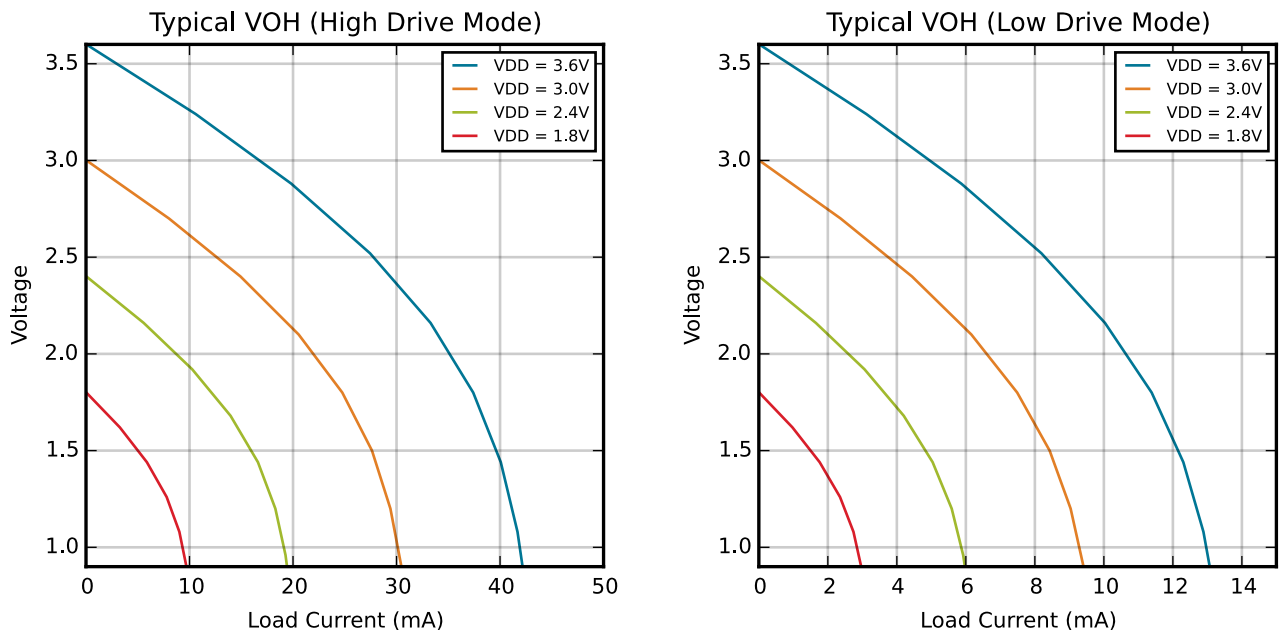


Figure 4.3. 常见 V_{OH} 曲线

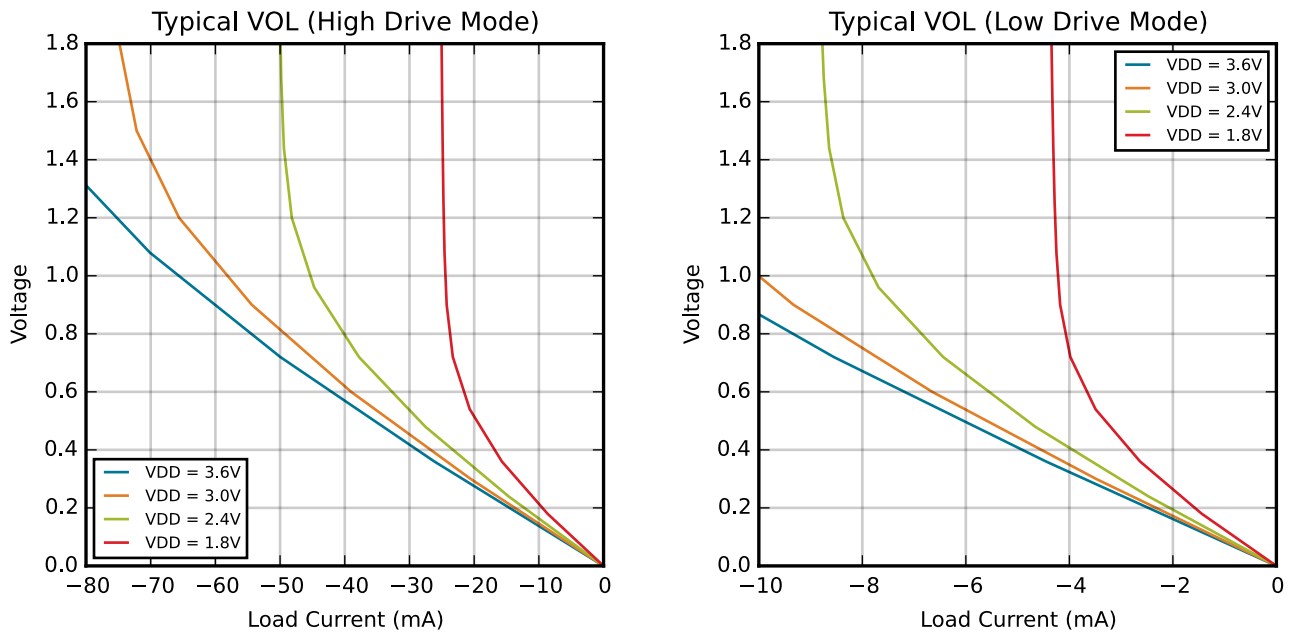


Figure 4.4. 常见 V_{OL} 曲线

5. 典型连接图

5.1 电源

Figure 5.1 电源连接图 on page 31 显示 EFM8SB2 设备电源引脚的典型连接图。

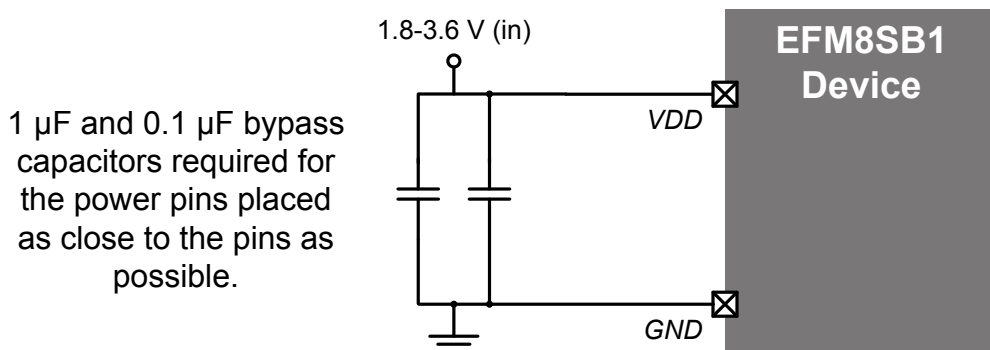


Figure 5.1. 电源连接图

5.2 调试

下图为调试连接引脚的典型连接图。仅在 C2D（一种 GPIO 引脚）和 C2CK（RSTb）路由到外部电路的情况下，才要求引脚共享电阻。例如，如果 RSTb 引脚连接到带有消抖滤波器的外部开关，或者与 C2D 引脚共享的 GPIO 连接到外部电路，则引脚共享电阻和调试适配器连接必须放置在硬件。否则，这些元件和连接可能被忽略。

欲了解关于调试连接的更多信息，请参见 AN124 中的示例原理图和信息：C2 接口的引脚共享技术中的示例原理图和信息。欲了解应用说明，请参见 Silicon Labs 网站 (<http://www.silabs.com/8bit-appnotes>) 或 Simplicity Studio。

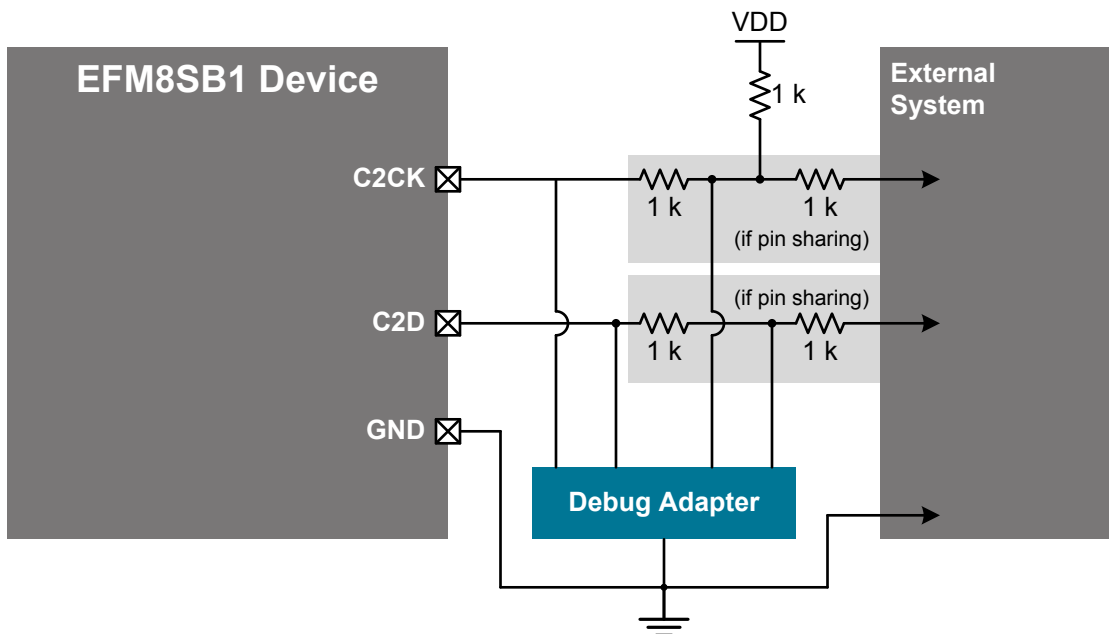


Figure 5.2. 调试连接图

5.3 其他连接

其他元件或连接可能需要满足系统级要求。应用说明“AN203: 8 位 MCU 印刷电路板设计说明”中对这些连接进行了详细说明。应用说明位于 Silicon Labs 网站上 (www.silabs.com/8bit-appnotes)。

6. 引脚定义

6.1 EFM8SB1x-QFN20 引脚定义

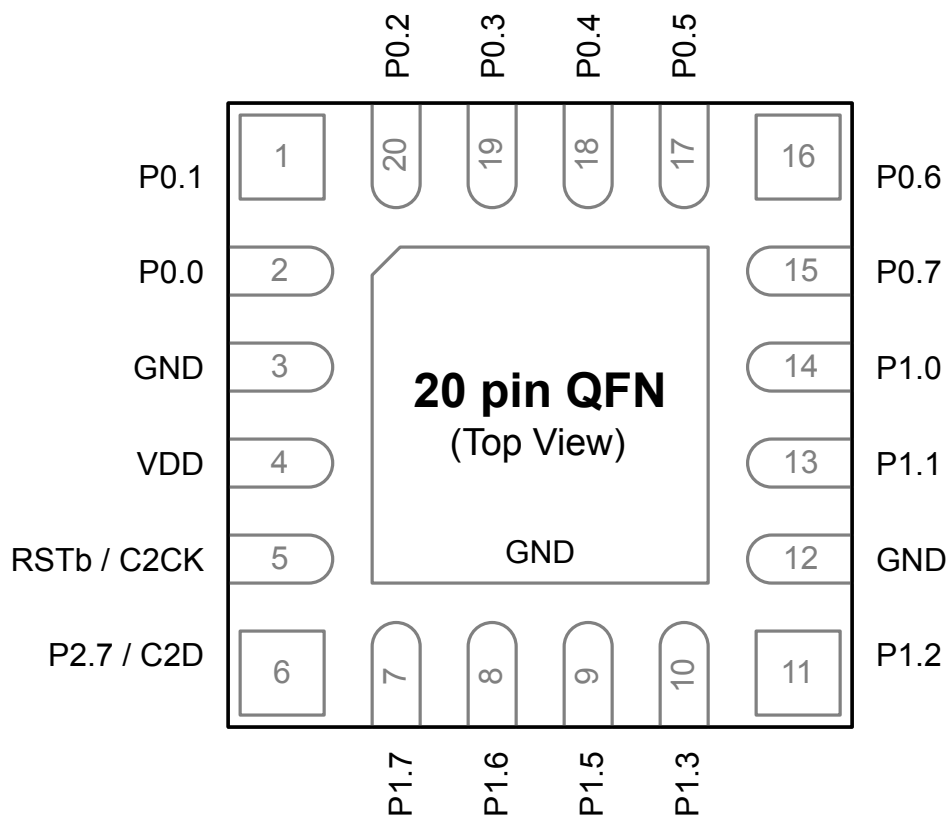


Figure 6.1. EFM8SB1x-QFN20 引出线

Table 6.1. Pin Definitions for EFM8SB1x-QFN20

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.1	Multifunction I/O	Yes	POMAT.1 INT0.1 INT1.1	ADC0.1 CS0.1 AGND
2	P0.0	Multifunction I/O	Yes	POMAT.0 INT0.0 INT1.0	CS0.0 VREF
3	GND	Ground			
4	VDD	Supply Power Input			

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
5	RSTb / C2CK	Active-low Reset / C2 Debug Clock			
6	P2.7 / C2D	Multifunction I/O / C2 Debug Data			
7	P1.7	Multifunction I/O	Yes	P1MAT.7	XTAL4
8	P1.6	Multifunction I/O	Yes	P1MAT.6	XTAL3
9	P1.5	Multifunction I/O	Yes	P1MAT.5	CS0.13
10	P1.3	Multifunction I/O	Yes	P1MAT.3	ADC0.11 CS0.11
11	P1.2	Multifunction I/O	Yes	P1MAT.2	ADC0.10 CS0.10
12	GND	Ground			
13	P1.1	Multifunction I/O	Yes	P1MAT.1	CMPON.4 CS0.9
14	P1.0	Multifunction I/O	Yes	P1MAT.0	CMPOP.4 CS0.8
15	P0.7	Multifunction I/O	Yes	POMAT.7 INT0.7 INT1.7	ADC0.7 CS0.7 IREFO
16	P0.6	Multifunction I/O	Yes	POMAT.6 CNVSTR INT0.6 INT1.6	ADC0.6 CS0.6
17	P0.5	Multifunction I/O	Yes	POMAT.5 INT0.5 INT1.5	ADC0.5 CS0.5
18	P0.4	Multifunction I/O	Yes	POMAT.4 INT0.4 INT1.4	ADC0.4 CS0.4
19	P0.3	Multifunction I/O	Yes	POMAT.3 EXTCLK WAKEOUT INT0.3 INT1.3	ADC0.3 CS0.3 XTAL2

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
20	P0.2	Multifunction I/O	Yes	POMAT.2 RTCOUT INT0.2 INT1.2	ADC0.2 CS0.2 XTAL1
Center	GND	Ground			

6.2 EFM8SB1x-QFN24 引脚定义

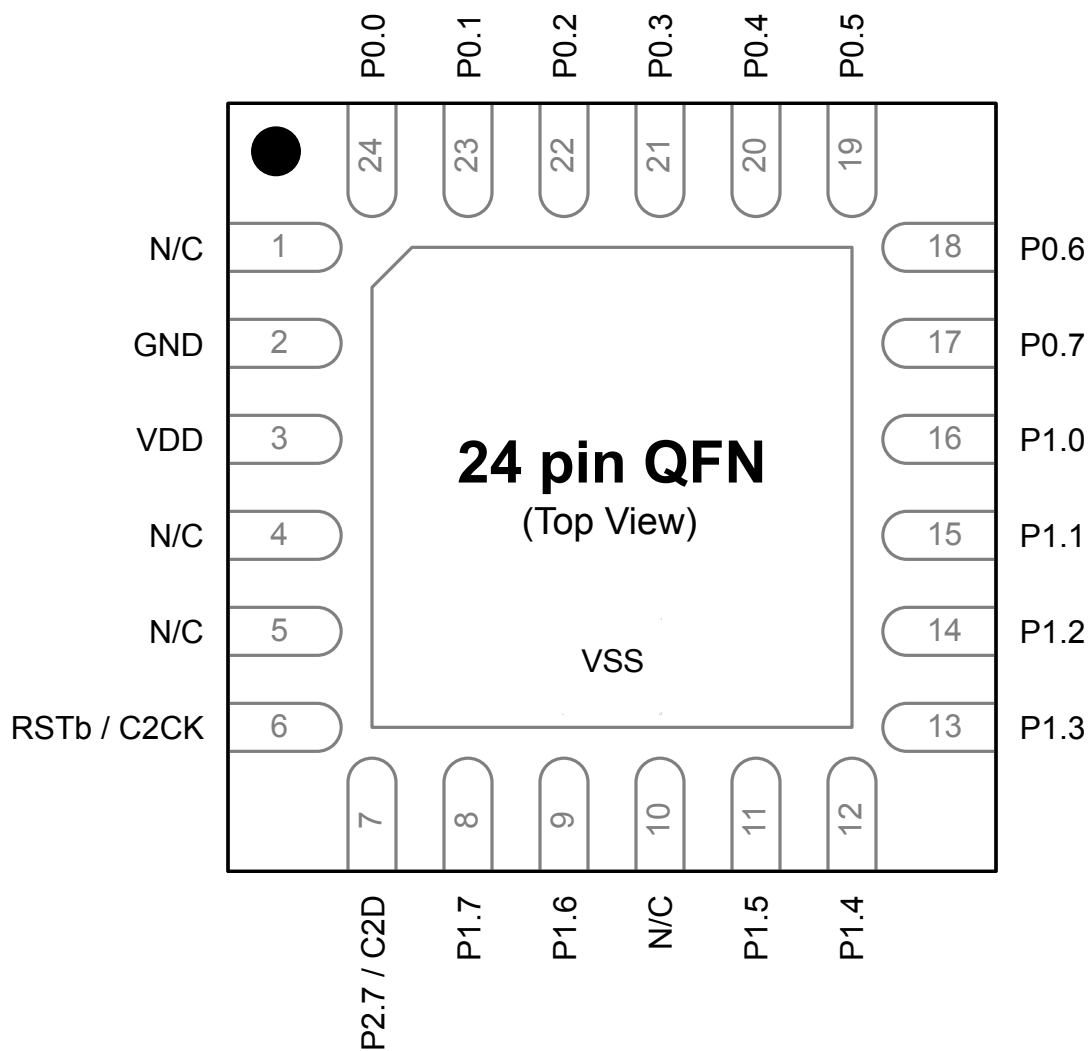


Figure 6.2. EFM8SB1x-QFN24 引出线

Table 6.2. Pin Definitions for EFM8SB1x-QFN24

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	N/C	No Connection			
2	GND	Ground			
3	VDD	Supply Power Input			
4	N/C	No Connection			
5	N/C	No Connection			

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
6	RSTb / C2CK	Active-low Reset / C2 Debug Clock			
7	P2.7 / C2D	Multifunction I/O / C2 Debug Data			
8	P1.7	Multifunction I/O	Yes	P1MAT.7	XTAL4
9	P1.6	Multifunction I/O	Yes	P1MAT.6	XTAL3
10	N/C	No Connection			
11	P1.5	Multifunction I/O	Yes	P1MAT.5	CS0.13
12	P1.4	Multifunction I/O	Yes	P1MAT.4	ADC0.12 CS0.12
13	P1.3	Multifunction I/O	Yes	P1MAT.3	ADC0.11 CS0.11
14	P1.2	Multifunction I/O	Yes	P1MAT.2	ADC0.10 CS0.10
15	P1.1	Multifunction I/O	Yes	P1MAT.1	CMPON.4 CS0.9
16	P1.0	Multifunction I/O	Yes	P1MAT.0	CMPOP.4 CS0.8
17	P0.7	Multifunction I/O	Yes	POMAT.7 INT0.7 INT1.7	ADC0.7 CS0.7 IREF0
18	P0.6	Multifunction I/O	Yes	POMAT.6 CNVSTR INT0.6 INT1.6	ADC0.6 CS0.6
19	P0.5	Multifunction I/O	Yes	POMAT.5 INT0.5 INT1.5	ADC0.5 CS0.5
20	P0.4	Multifunction I/O	Yes	POMAT.4 INT0.4 INT1.4	ADC0.4 CS0.4
21	P0.3	Multifunction I/O	Yes	POMAT.3 EXTCLK WAKEOUT INT0.3 INT1.3	ADC0.3 CS0.3 XTAL2

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
22	P0.2	Multifunction I/O	Yes	POMAT.2 RTCOU INT0.2 INT1.2	ADC0.2 CS0.2 XTAL1
23	P0.1	Multifunction I/O	Yes	POMAT.1 INT0.1 INT1.1	ADC0.1 CS0.1 AGND
24	P0.0	Multifunction I/O	Yes	POMAT.0 INT0.0 INT1.0	CS0.0 VREF
Center	GND	Ground			

6.3 EFM8SB1x-QSOP24 引脚定义

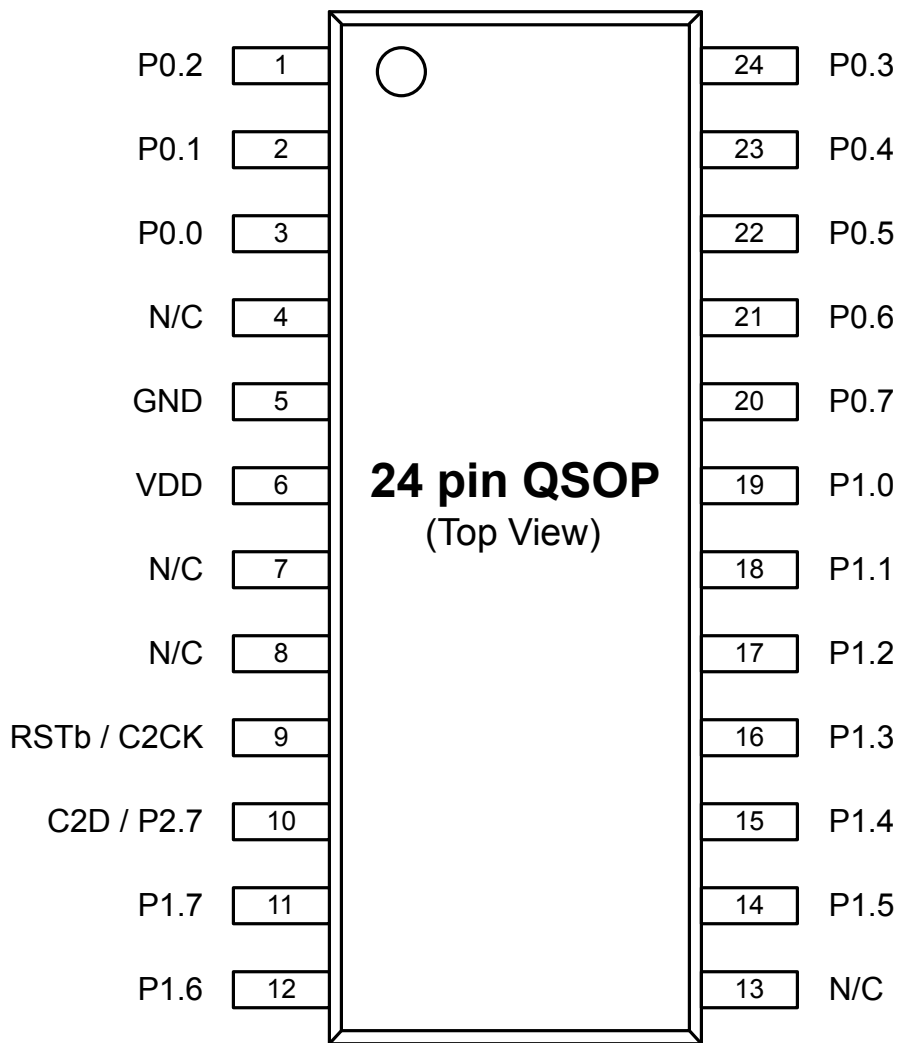


Figure 6.3. EFM8SB1x-QSOP24 引出线

Table 6.3. Pin Definitions for EFM8SB1x-QSOP24

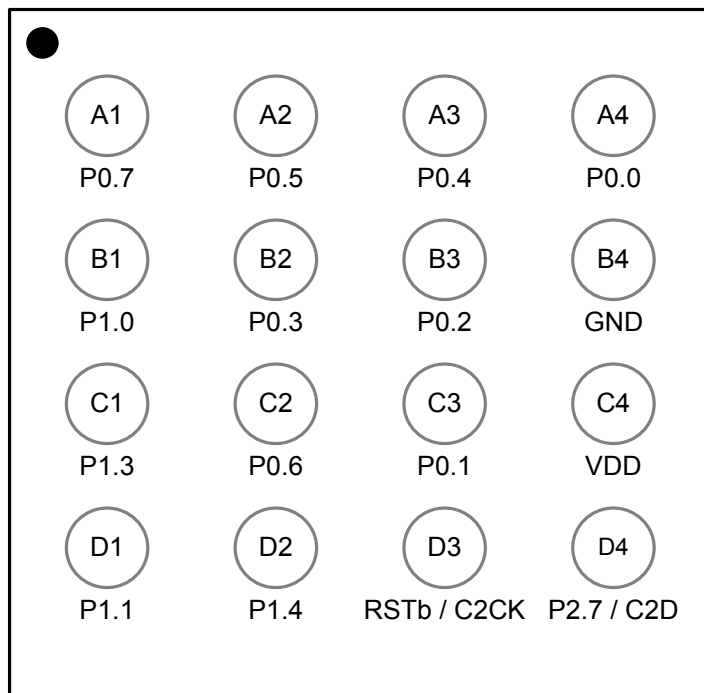
Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
1	P0.2	Multifunction I/O	Yes	POMAT.2 RTCOUT INT0.2 INT1.2	ADC0.2 CS0.2 XTAL1
2	P0.1	Multifunction I/O	Yes	POMAT.1 INT0.1 INT1.1	ADC0.1 CS0.1 AGND

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
3	P0.0	Multifunction I/O	Yes	POMAT.0 INT0.0 INT1.0	CS0.0 VREF
4	N/C	No Connection			
5	GND	Ground			
6	VDD	Supply Power Input			
7	N/C	No Connection			
8	N/C	No Connection			
9	RSTb / C2CK	Active-low Reset / C2 Debug Clock			
10	P2.7 / C2D	Multifunction I/O / C2 Debug Data			
11	P1.7	Multifunction I/O	Yes	P1MAT.7	XTAL4
12	P1.6	Multifunction I/O	Yes	P1MAT.6	XTAL3
13	N/C	No Connection			
14	P1.5	Multifunction I/O	Yes	P1MAT.5	CS0.13
15	P1.4	Multifunction I/O	Yes	P1MAT.4	ADC0.12 CS0.12
16	P1.3	Multifunction I/O	Yes	P1MAT.3	ADC0.11 CS0.11
17	P1.2	Multifunction I/O	Yes	P1MAT.2	ADC0.10 CS0.10
18	P1.1	Multifunction I/O	Yes	P1MAT.1	CMPON.4 CS0.9
19	P1.0	Multifunction I/O	Yes	P1MAT.0	CMPOP.4 CS0.8
20	P0.7	Multifunction I/O	Yes	POMAT.7 INT0.7 INT1.7	ADC0.7 CS0.7 IREFO
21	P0.6	Multifunction I/O	Yes	POMAT.6 CNVSTR INT0.6 INT1.6	ADC0.6 CS0.6
22	P0.5	Multifunction I/O	Yes	POMAT.5 INT0.5 INT1.5	ADC0.5 CS0.5

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
23	P0.4	Multifunction I/O	Yes	POMAT.4 INT0.4 INT1.4	ADC0.4 CS0.4
24	P0.3	Multifunction I/O	Yes	POMAT.3 EXTCLK WAKEOUT INT0.3 INT1.3	ADC0.3 CS0.3 XTAL2

6.4 EFM8SB1x-CSP16 引脚定义

可使用符合行业标准的表面安装装配技术处理并焊接 CSP 设备。但是，由于 CSP 设备主要采用硅制成，并非密封在塑料内，这些设备易受到机械损伤的影响，且可能对光照十分敏感。当必须在暴露于光照的环境中使用 CSP 封装时，可能需要使用不透明材料覆盖在顶部和侧面。



16 pin CSP
(Top View)

Figure 6.4. EFM8SB1x-CSP16 引出线

Table 6.4. Pin Definitions for EFM8SB1x-CSP16

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
A1	P0.7	Multifunction I/O	Yes	POMAT.7 INT0.7 INT1.7	ADC0.7 CS0.7 IREF0
A2	P0.5	Multifunction I/O	Yes	POMAT.5 INT0.5 INT1.5	ADC0.5 CS0.5
A3	P0.4	Multifunction I/O	Yes	POMAT.4 INT0.4 INT1.4	ADC0.4 CS0.4

Pin Number	Pin Name	Description	Crossbar Capability	Additional Digital Functions	Analog Functions
A4	P0.0	Multifunction I/O	Yes	POMAT.0 INT0.0 INT1.0	CS0.0 VREF
B1	P1.0	Multifunction I/O	Yes	P1MAT.0	CMPOP.4 CS0.8
B2	P0.3	Multifunction I/O	Yes	POMAT.3 EXTCLK WAKEOUT INT0.3 INT1.3	ADC0.3 CS0.3 XTAL2
B3	P0.2	Multifunction I/O	Yes	POMAT.2 RTGOUT INT0.2 INT1.2	ADC0.2 CS0.2 XTAL1
B4	GND	Ground			
C1	P1.3	Multifunction I/O	Yes	P1MAT.3	ADC0.11 CS0.11
C2	P0.6	Multifunction I/O	Yes	POMAT.6 CNVSTR INT0.6 INT1.6	ADC0.6 CS0.6
C3	P0.1	Multifunction I/O	Yes	POMAT.1 INT0.1 INT1.1	ADC0.1 CS0.1 AGND
C4	VDD	Supply Power Input			
D1	P1.1	Multifunction I/O	Yes	P1MAT.1	CMPON.4 CS0.9
D2	P1.4	Multifunction I/O	Yes	P1MAT.4	ADC0.12 CS0.12
D3	RSTb / C2CK	Active-low Reset / C2 Debug Clock			
D4	P2.7 / C2D	Multifunction I/O / C2 Debug Data			

7. CSP16 封装规格

7.1 CSP16 封装尺寸

Note: 可使用符合行业标准的表面安装装配技术处理并焊接 CSP 设备。但是，由于 CSP 设备主要采用硅制成，并非密封在塑料内，这些设备易受到机械损伤的影响，且可能对光照十分敏感。当必须在暴露于光照的环境中使用 CSP 封装时，可能需要使用不透明材料覆盖在顶部和侧面。

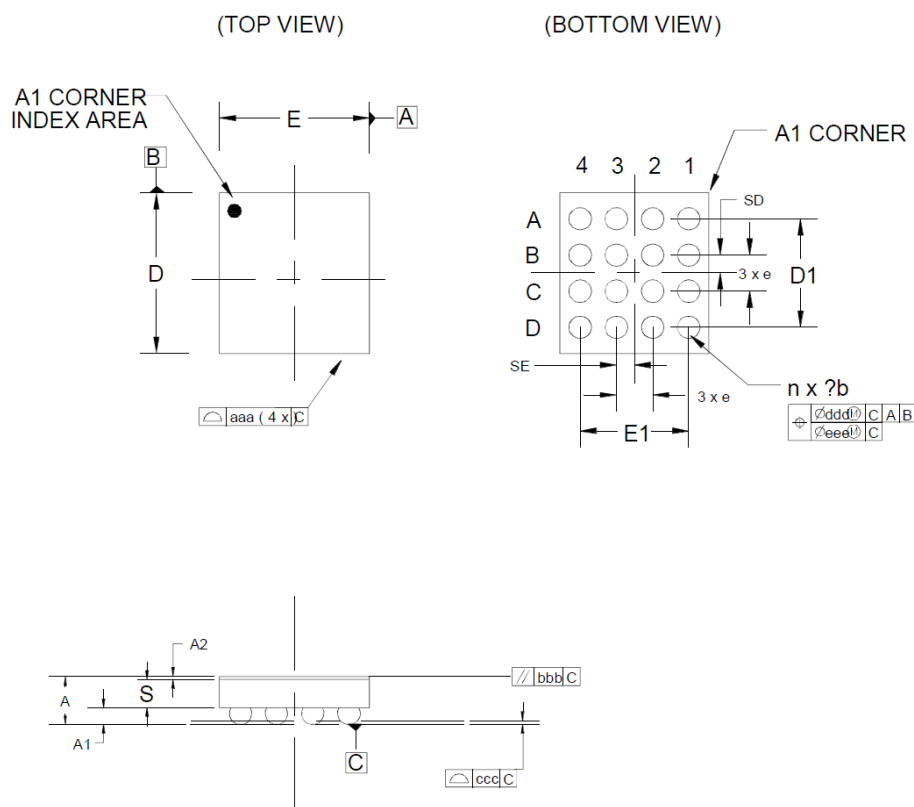


Figure 7.1. CSP16 封装图

Table 7.1. CSP16 Package Dimensions

Dimension	Min	Typ	Max
A	0.491	0.55	0.609
A1	0.17	—	0.23
A2	0.036	0.040	0.044
b	0.23	—	0.29
S	0.3075	0.31	0.3125
D	1.781 BSC		
E	1.659 BSC		
e	0.40 BSC		
D1	1.20 BSC		
E1	1.20 BSC		

Dimension	Min	Typ	Max
SD		0.2	
SE		0.2	
n		16	
aaa		0.03	
bbb		0.06	
ccc		0.05	
ddd		0.015	

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. Primary datum “C” and seating plane are defined by the spherical crowns of the solder balls.
4. Dimension “b” is measured at the maximum solder bump diameter, parallel to primary datum “C”.
5. Recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.

7.2 CSP16 PCB 焊盘布局

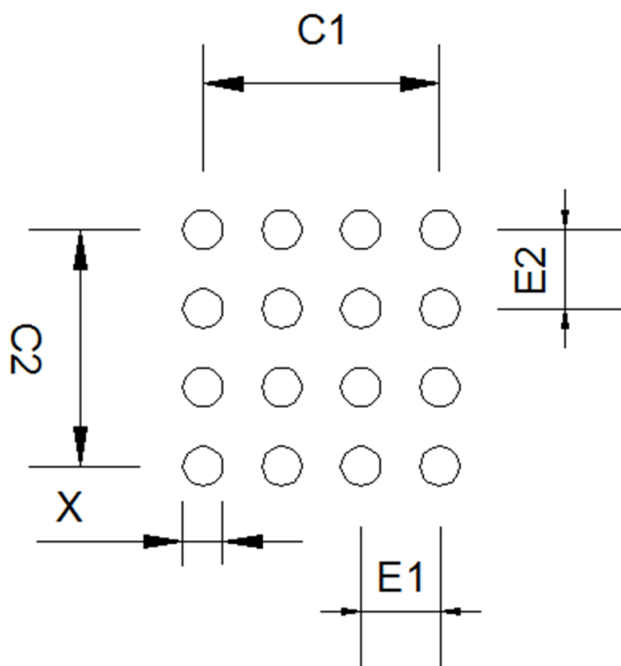


Figure 7.2. CSP16 PCB 焊盘布局图

Table 7.2. CSP16 PCB Land Pattern Dimensions

Dimension	Min	Max
X		0.20
C1		1.20
C2		1.20
E1		0.40
E2		0.40

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing is per the ANSI Y14.5M-1994 specification.
3. This Land Pattern Design is based on the IPC-7351 guidelines.
4. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad.
5. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.
6. The stencil thickness should be 0.075 mm (3 mils).
7. A stencil of square aperture (0.22 x 0.22 mm) is recommended.
8. A No-Clean, Type-3 solder paste is recommended.
9. The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

7.3 CSP16 封装标识

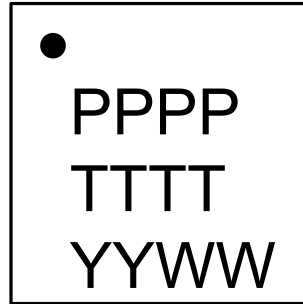


Figure 7.3. CSP16 封装标识

封装标识的组成为：

- PPPP - 指定部件编号。
- TTTT - 跟踪或生产代码。
- YY - 生产年份的最后 2 位数字。
- WW - 设备生产时的 2 位工作周。

8. QFN20G Package Specifications

Note: This section includes packaging information for G-grade devices.

8.1 QFN20 封装尺寸

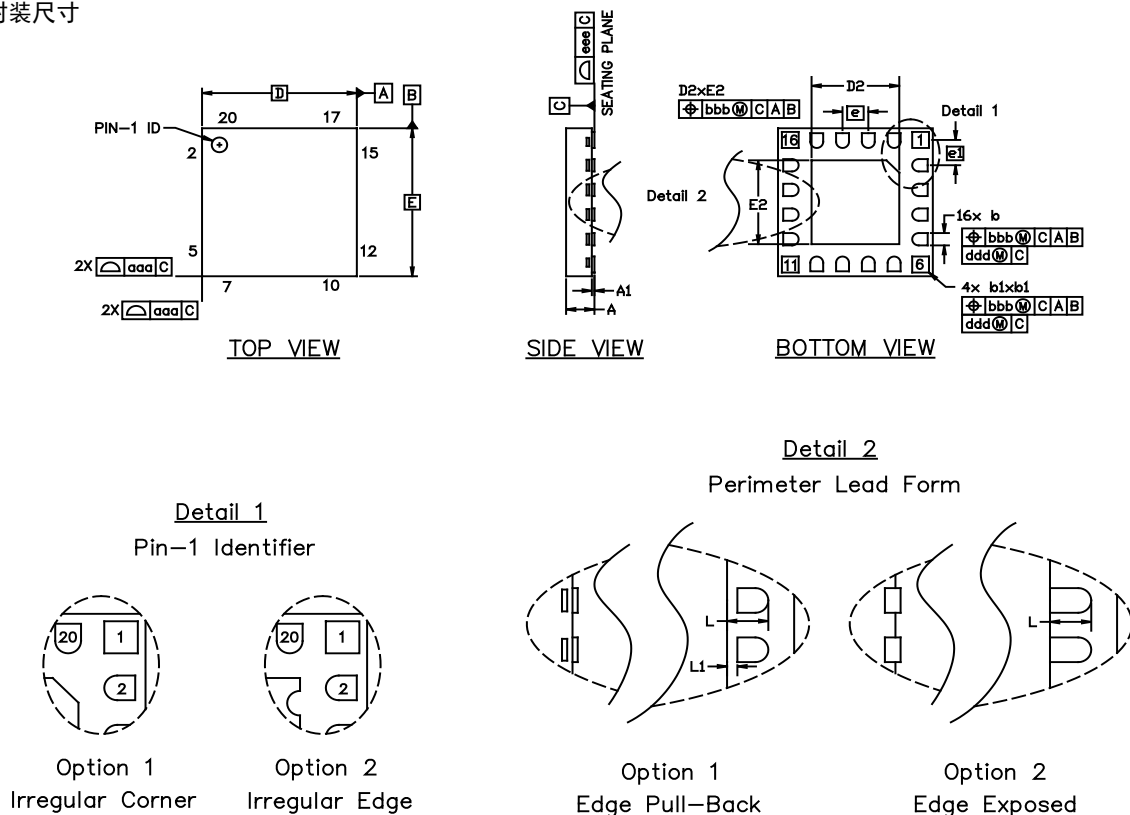


Figure 8.1. QFN20 封装图

Table 8.1. QFN20 Package Dimensions

Dimension	Min	Typ	Max
A	0.50	0.55	0.60
A1	0.00	—	0.05
b	0.20	0.25	0.30
b1	0.275	0.325	0.375
D		3.00 BSC	
D2	1.6	1.70	1.80
e		0.50 BSC	
e1		0.513 BSC	
E		3.00 BSC	
E2	1.60	1.70	1.80
L	0.35	0.40	0.45
L1	0.00	—	0.10
aaa	—	0.10	—
bbb	—	0.10	—

Dimension	Min	Typ	Max
ddd	—	0.05	—
eee	—	—	0.08

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing is based upon JEDEC Solid State Product Outline MO-248 but includes custom features which are toleranced per supplier designation.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

8.2 QFN20 PCB 焊盘布局

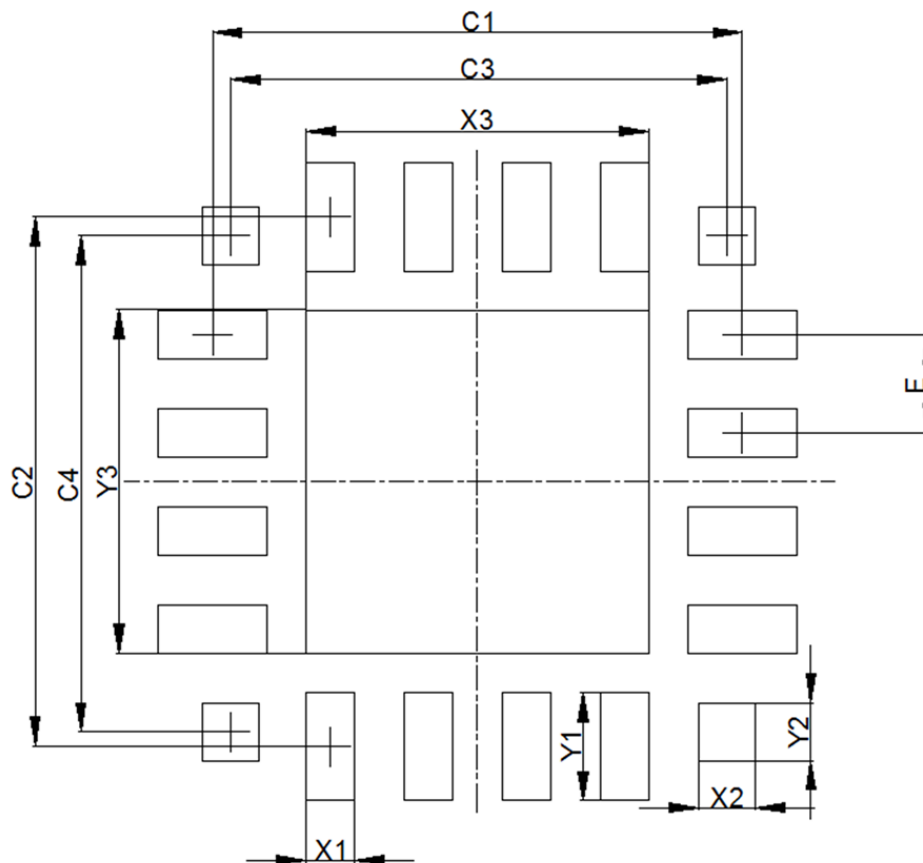


Figure 8.2. QFN20 PCB 焊盘布局图

Table 8.2. QFN20 PCB Land Pattern Dimensions

Dimension	Min	Max
C1		2.70
C2		2.70
C3		2.53
C4		2.53
E		0.50 REF
X1	0.20	0.30
X2	0.24	0.34
X3	1.70	1.80
Y1	0.50	0.60
Y2	0.24	0.34
Y3	1.70	1.80

Dimension	Min	Max
Note:		
1. All dimensions shown are in millimeters (mm) unless otherwise noted.		
2. Dimensioning and Tolerancing is per the ANSI Y14.5M-1994 specification.		
3. This Land Pattern Design is based on the IPC-7351 guidelines.		
4. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad.		
5. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.		
6. The stencil thickness should be 0.125 mm (5 mils).		
7. The ratio of stencil aperture to land pad size should be 1:1 for the perimeter pads.		
8. A 2x2 array of 0.75 mm openings on a 0.95 mm pitch should be used for the center pad to assure proper paste volume.		
9. A No-Clean, Type-3 solder paste is recommended.		
10. The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.		

8.3 QFN20 封装标识

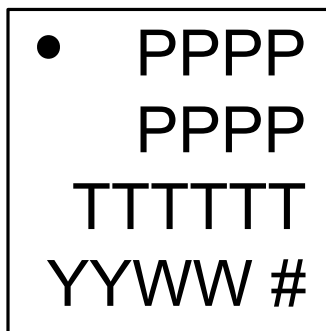


Figure 8.3. QFN20 封装标识

封装标识的组成为：

- P P P P P P P P - 指定部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

9. QFN20A Package Specifications

Note: This section includes packaging information for A-grade devices.

9.1 QFN20 Package Dimensions

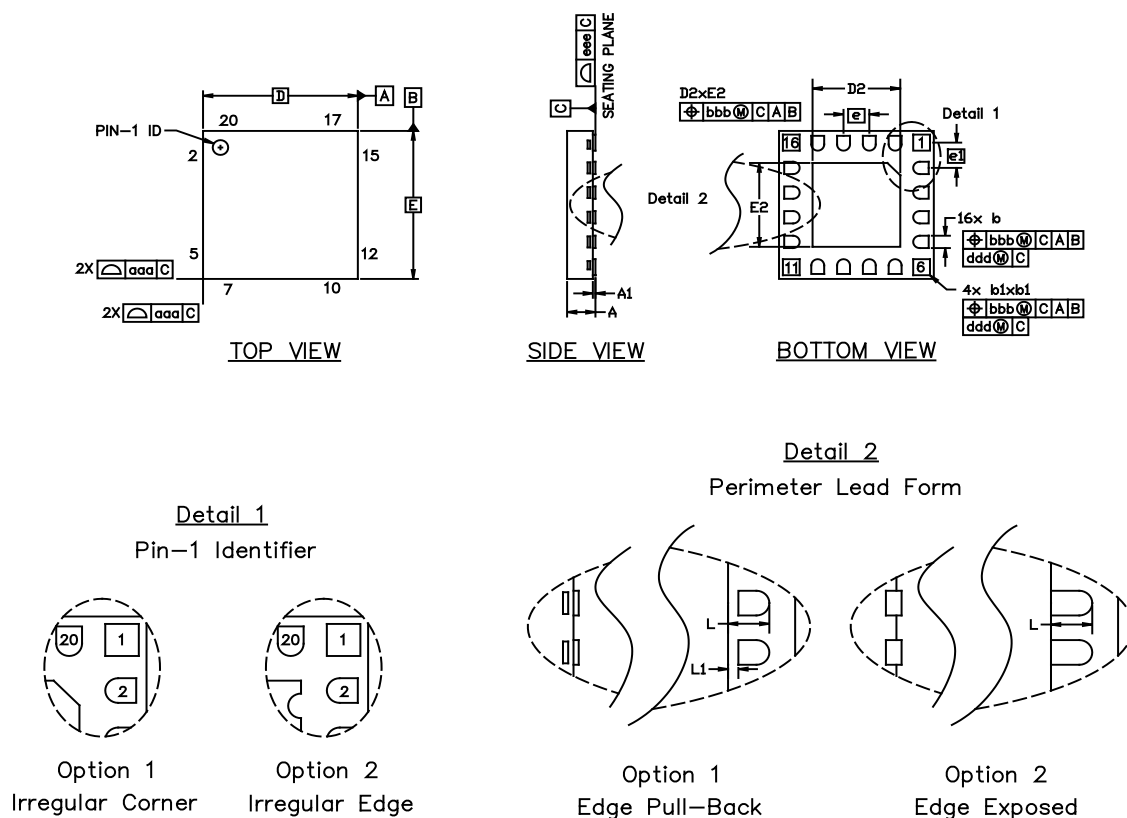


Figure 9.1. QFN20 Package Drawing

Table 9.1. QFN20 Package Dimensions

Dimension	Min	Typ	Max
A	0.70	0.75	0.80
A1	0.00	0.035	0.05
b	0.20	0.25	0.30
b1	0.25	0.30	0.35
D	3.00 BSC		
D2	1.60	1.70	1.80
e	0.50 BSC		
e1	0.513 BSC		
E	3.00 BSC		
E2	1.60	1.70	1.80
L	0.35	0.40	0.45
L1	0.00	—	0.10
aaa	—	0.10	—

Dimension	Min	Typ	Max
bbb	—	0.10	—
ddd	—	0.05	—
eee	—	—	0.08

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing is based upon JEDEC Solid State Product Outline MO-248 but includes custom features which are toleranced per supplier designation.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

9.2 QFN20 PCB Land Pattern

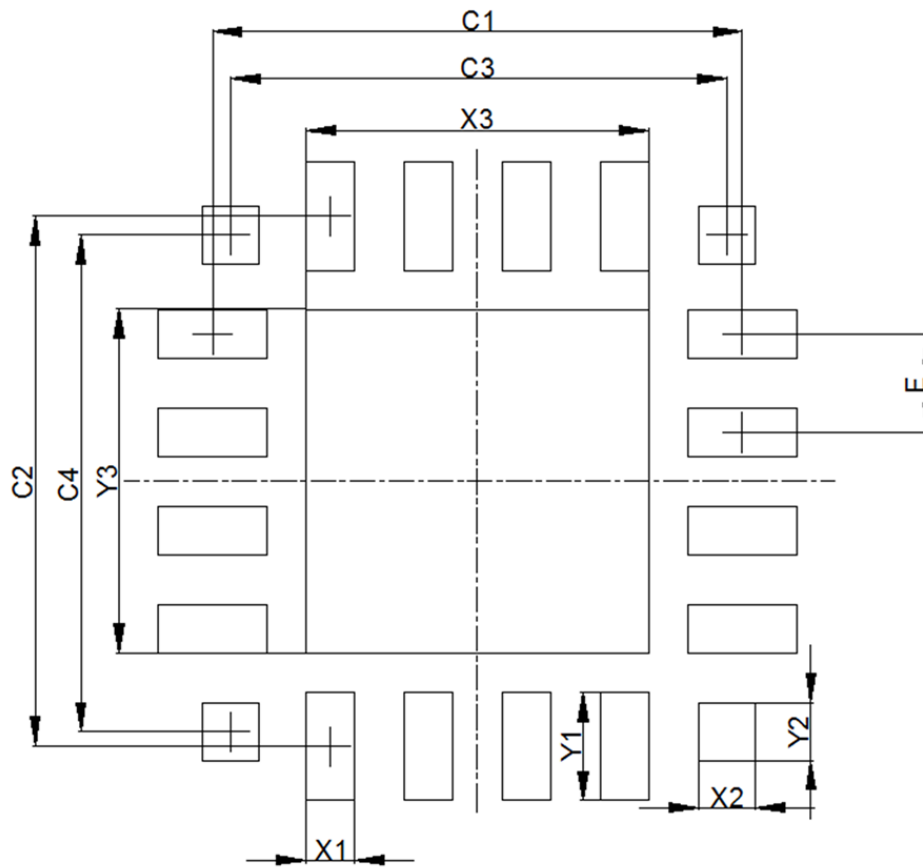


Figure 9.2. QFN20 PCB Land Pattern Drawing

Table 9.2. QFN20 PCB Land Pattern Dimensions

Dimension	Min	Max
C1		2.70
C2		2.70
C3		2.53
C4		2.53
E		0.50 REF
X1	0.20	0.30
X2	0.24	0.34
X3	1.70	1.80
Y1	0.50	0.60
Y2	0.24	0.34
Y3	1.70	1.80

Dimension	Min	Max
<p>Note:</p> <ol style="list-style-type: none"> 1. All dimensions shown are in millimeters (mm) unless otherwise noted. 2. Dimensioning and Tolerancing is per the ANSI Y14.5M-1994 specification. 3. This Land Pattern Design is based on the IPC-7351 guidelines. 4. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 µm minimum, all the way around the pad. 5. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release. 6. The stencil thickness should be 0.125 mm (5 mils). 7. The ratio of stencil aperture to land pad size should be 1:1 for the perimeter pads. 8. A 2x2 array of 0.75 mm openings on a 0.95 mm pitch should be used for the center pad to assure proper paste volume. 9. A No-Clean, Type-3 solder paste is recommended. 10. The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components. 		

9.3 QFN20 Package Marking

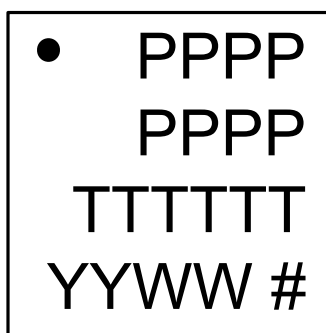


Figure 9.3. QFN20 Package Marking

The package marking consists of:

- P P P P P P P P – The part number designation.
- T T T T T T – A trace or manufacturing code.
- Y Y – The last 2 digits of the assembly year.
- W W – The 2-digit workweek when the device was assembled.
- # – The device revision (A, B, etc.).

10. QFN24 Package Specifications

10.1 QFN24 Package Dimensions

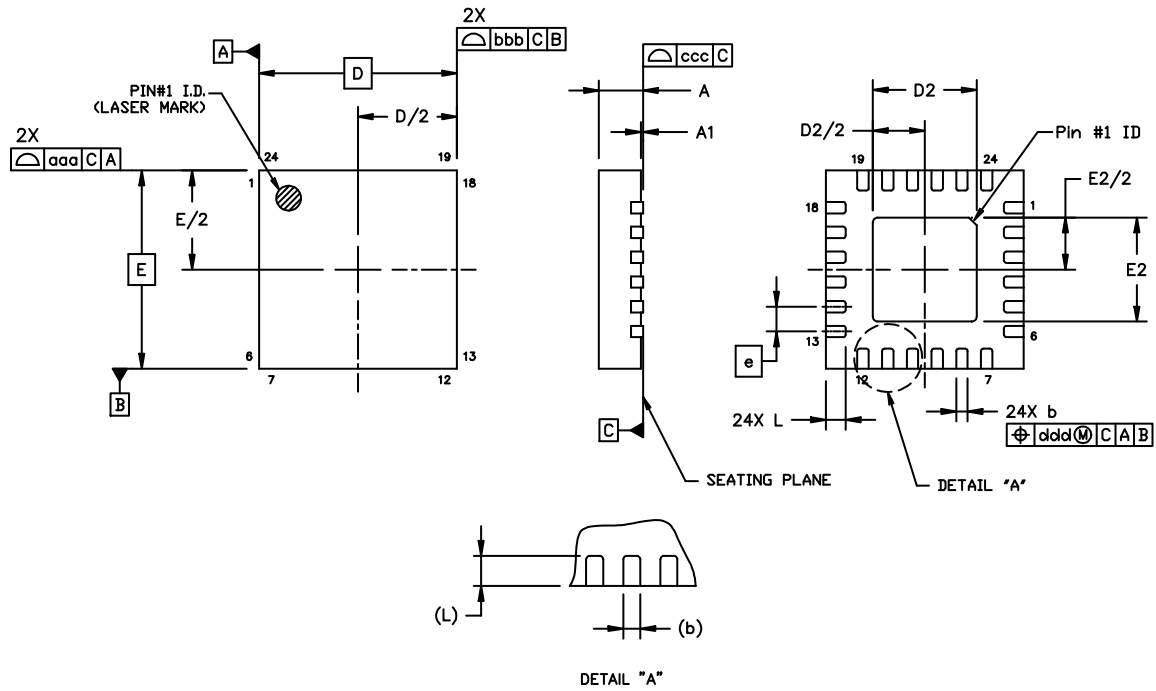


Figure 10.1. QFN24 Package Drawing

Table 10.1. QFN24 Package Dimensions

Dimension	Min	Typ	Max
A	0.70	0.75	0.80
A1	0.00	—	0.05
b	0.18	0.25	0.30
D	4.00 BSC		
D2	2.35	2.45	2.55
e	0.50 BSC		
E	4.00 BSC		
E2	2.35	2.45	2.55
L	0.30	0.40	0.50
aaa	—	—	0.10
bbb	—	—	0.10
ccc	—	—	0.08
ddd	—	—	0.10

Dimension	Min	Typ	Max
<p>Note:</p> <ol style="list-style-type: none">1. All dimensions shown are in millimeters (mm) unless otherwise noted.2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.3. This drawing conforms to JEDEC Solid State Outline MO-220.4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020C specification for Small Body Components.			

10.2 QFN24 PCB Land Pattern

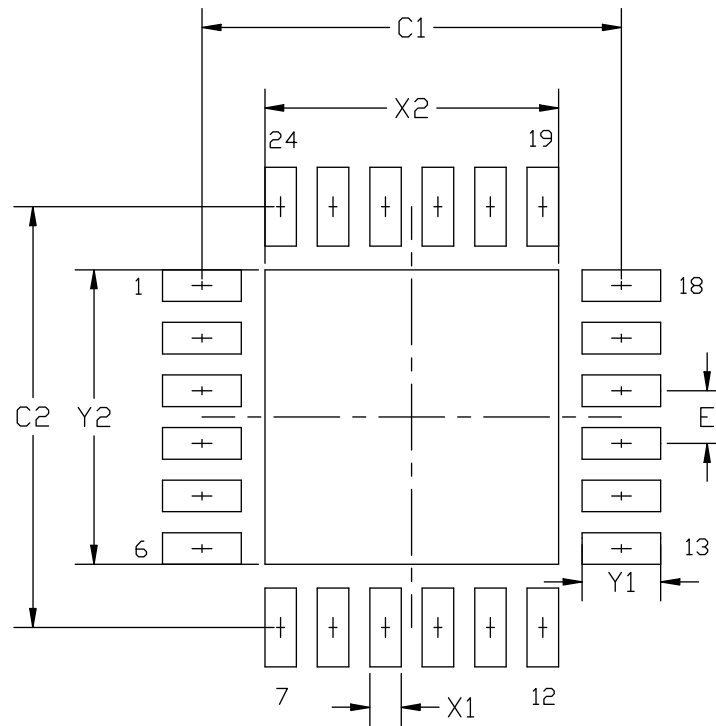


Figure 10.2. QFN24 PCB Land Pattern Drawing

Table 10.2. QFN24 PCB Land Pattern Dimensions

Dimension	Min	Max
C1	3.90	4.00
C2	3.90	4.00
E	0.50 BSC	
X1	0.20	0.30
X2	2.70	2.80
Y1	0.65	0.75
Y2	2.70	2.80

Dimension	Min	Max
<p>Note:</p> <ol style="list-style-type: none"> 1. All dimensions shown are in millimeters (mm) unless otherwise noted. 2. This Land Pattern Design is based on the IPC-7351 guidelines. 3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad. 4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release. 5. The stencil thickness should be 0.125 mm (5 mils). 6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads. 7. A 2 x 2 array of 1.10 mm x 1.10 mm openings on 1.30 mm pitch should be used for the center ground pad. 8. A No-Clean, Type-3 solder paste is recommended. 9. The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components. 		

10.3 QFN24 Package Marking



Figure 10.3. QFN24 Package Marking

The package marking consists of:

- P P P P P P P P – The part number designation.
- T T T T T T – A trace or manufacturing code.
- Y Y – The last 2 digits of the assembly year.
- W W – The 2-digit workweek when the device was assembled.
- # – The device revision (A, B, etc.).

10. QSOP24 封装规格

10.1 QSOP24 封装尺寸

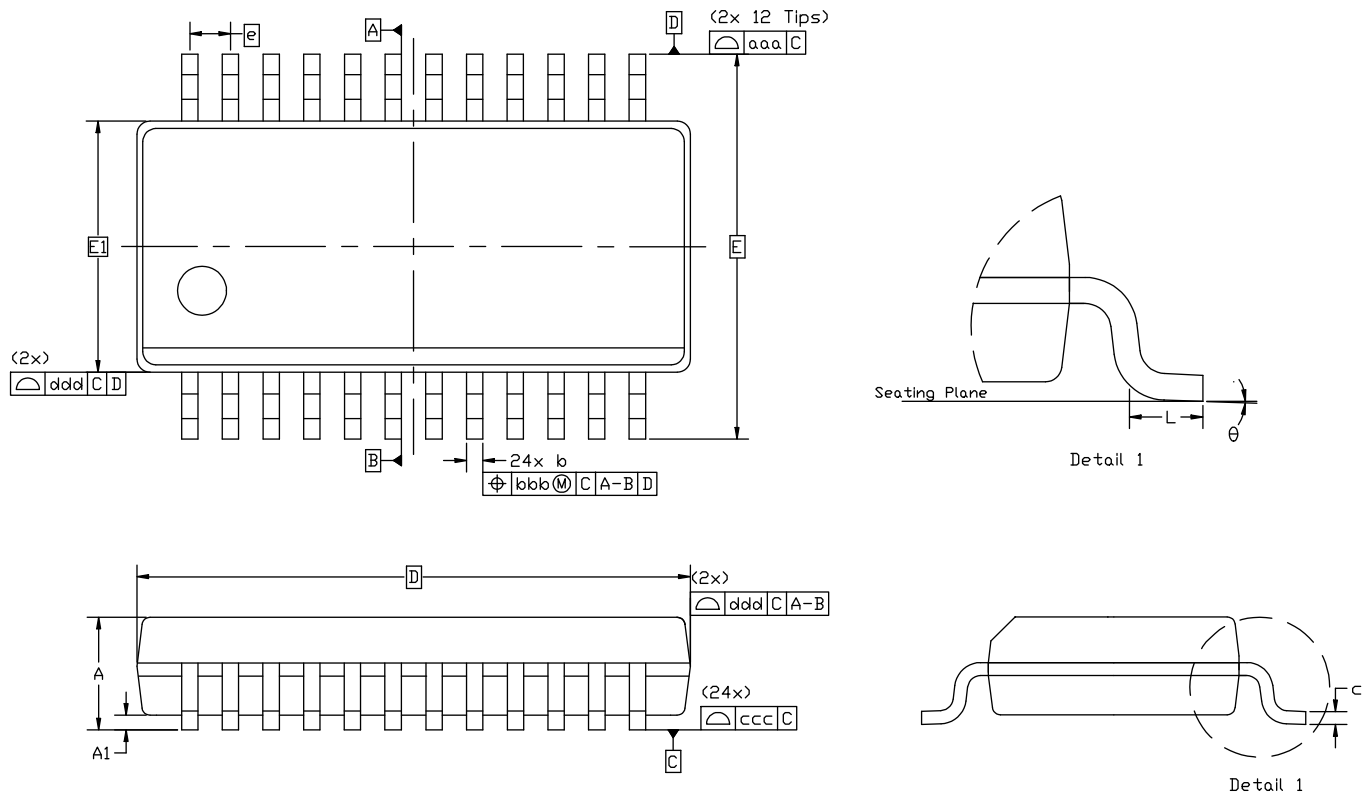


Figure 10.1. QSOP24 封装图

Table 10.1. QSOP24 Package Dimensions

Dimension	Min	Typ	Max
A	—	—	1.75
A1	0.10	—	0.25
b	0.20	—	0.30
c	0.10	—	0.25
D	8.65 BSC		
E	6.00 BSC		
E1	3.90 BSC		
e	0.635 BSC		
L	0.40	—	1.27

Dimension	Min	Typ	Max
theta	0°	—	8°
aaa		0.20	
bbb		0.18	
ccc		0.10	
ddd		0.10	

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. Dimensioning and Tolerancing per ANSI Y14.5M-1994.
3. This drawing conforms to JEDEC outline MO-137, variation AE.
4. Recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

10.2 QSOP24 PCB 焊盘布局

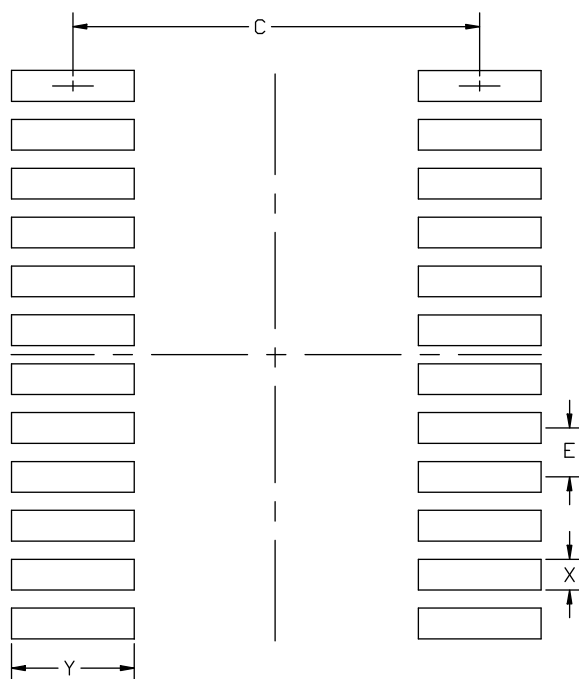


Figure 10.2. QSOP24 PCB 焊盘布局图

Table 10.2. QSOP24 PCB Land Pattern Dimensions

Dimension	Min	Max
C	5.20	5.30
E	0.635 BSC	
X	0.30	0.40
Y	1.50	1.60

Note:

1. All dimensions shown are in millimeters (mm) unless otherwise noted.
2. This land pattern design is based on the IPC-7351 guidelines.
3. All metal pads are to be non-solder mask defined (NSMD). Clearance between the solder mask and the metal pad is to be 60 μm minimum, all the way around the pad.
4. A stainless steel, laser-cut and electro-polished stencil with trapezoidal walls should be used to assure good solder paste release.
5. The stencil thickness should be 0.125 mm (5 mils).
6. The ratio of stencil aperture to land pad size should be 1:1 for all perimeter pads.
7. A No-Clean, Type-3 solder paste is recommended.
8. The recommended card reflow profile is per the JEDEC/IPC J-STD-020 specification for Small Body Components.

10.3 QSOP24 封装标识



Figure 10.3. QSOP24 封装标识

封装标识的组成为：

- P P P P P P P P - 指定部件编号。
- T T T T T T - 跟踪或生产代码。
- Y Y - 生产年份的最后 2 位数字。
- W W - 设备生产时的 2 位工作周。
- # - 设备版本（A、B 等）。

11. 版本历史

12.1 Revision 1.4

February 24, 2017

Updated A-grade QFN20 packaging information. The G-grade QFN20 and A-grade QFN20 devices now have different packages. Also fixed a typo in the X2 dimension for the QFN20G package.

12.2 Revision 1.3

September 23, 2016

Added A-grade parts.

Added [5.2 Debug](#).

Added bootloader pinout information and a reference to *AN945: EFM8 Factory Bootloader User Guide* in [3.10 Bootloader](#).

Added specifications for [4.1.16 SMBus](#).

Added CRC Calculation Time to [4.1.4 Flash Memory](#).

Added a note linking to the Typical VOH and VOL Performance graphs in [4.1.15 Port I/O](#).

Added the t_{POR} and adjusted the V_{POR} falling specifications in [4.1.3 Reset and Supply Monitor](#).

Added a note to [3.1 Introduction](#) referencing the Reference Manual.

Added a note to [3.2 Power](#) to clarify that entering Sleep may disconnect the active debug session.

Specified that the UART has a 1-byte FIFO in [3.6 Communications and Other Digital Peripherals](#).

12.3 Revision 1.2

Added CSP16 package.

Updated the "C2D / P2.0" pin on the QSOP24 pinout diagram to "C2D / P2.7."

Added crystal oscillator drive current typical values to [Table 4.7 Crystal Oscillator on page 18](#).

Corrected the number of capacitive sense channels for 24- and 20-pin packages in [Table 4.14 Capacitive Sense \(CS0\) on page 24](#).

Corrected E dimension shown in [Figure 8.2 QFN20 PCB Land Pattern Drawing on page 52](#).

Added more information to [3.10 Bootloader](#).

12.4 Revision 1.1

Initial release.

目录

1. 功能列表	2
2. 订购信息	3
3. 系统概述	5
3.1 介绍	5
3.2 电源	6
3.3 I/O	6
3.4 时钟	6
3.5 定时器/计数器和 PWM	7
3.6 通信和其他数字外围设备	8
3.7 模拟	9
3.8 复位源	10
3.9 调试	10
3.10 引导装载程序	11
4. 电气规格	13
4.1 电气特性	13
4.1.1 建议的工作条件	13
4.1.2 功耗	14
4.1.3 复位和电源监控器	16
4.1.4 闪存	17
4.1.5 电源管理定时	17
4.1.6 内部振荡器	17
4.1.7 晶体振荡器	18
4.1.8 外部时钟输入	18
4.1.9 ADC	19
4.1.10 参考电压	20
4.1.11 温度传感器	21
4.1.12 比较器	22
4.1.13 可编程参考电流 (IREFO)	23
4.1.14 电容感测 (CS0)	24
4.1.15 端口 I/O	25
4.1.16 SMBus	26
4.2 热能条件	28
4.3 绝对最大额定值	28
4.4 典型性能曲线	29
5. 典型连接图	31
5.1 电源	31
5.2 调试	31
5.3 其他连接	31

6. 引脚定义	32
6.1 EFM8SB1x-QFN20 引脚定义	33
6.2 EFM8SB1x-QFN24 引脚定义	36
6.3 EFM8SB1x-QSOP24 引脚定义	39
6.4 EFM8SB1x-CSP16 引脚定义	42
7. CSP16 封装规格	44
7.1 CSP16 封装尺寸	44
7.2 CSP16 PCB 焊盘布局	46
7.3 CSP16 封装标识	47
8.1 QFN20 封装尺寸	48
8.2 QFN20 PCB 焊盘布局	50
8.3 QFN20 封装标识	51
9. QFN24 封装规格	52
10. QSOP24 封装规格	53
10.1 QSOP24 封装尺寸	53
10.2 QSOP24 PCB 焊盘布局	55
10.3 QSOP24 封装标识	56
11. 版本历史	57
11.3 版本 1.2	57
11.4 版本 1.1	57
目录	58

Silicon Labs

Simplicity Studio™4



Simplicity Studio

One-click access to MCU and wireless tools, documentation, software, source code libraries & more. Available for Windows, Mac and Linux!



IoT Portfolio
www.silabs.com/loT



SW/HW
www.silabs.com/simplicity



Quality
www.silabs.com/quality



Support and Community
community.silabs.com

Disclaimer

Silicon Labs intends to provide customers with the latest, accurate, and in-depth documentation of all peripherals and modules available for system and software implementers using or intending to use the Silicon Labs products. Characterization data, available modules and peripherals, memory sizes and memory addresses refer to each specific device, and "Typical" parameters provided can and do vary in different applications. Application examples described herein are for illustrative purposes only. Silicon Labs reserves the right to make changes without further notice and limitation to product information, specifications, and descriptions herein, and does not give warranties as to the accuracy or completeness of the included information. Silicon Labs shall have no liability for the consequences of use of the information supplied herein. This document does not imply or express copyright licenses granted hereunder to design or fabricate any integrated circuits. The products are not designed or authorized to be used within any Life Support System without the specific written consent of Silicon Labs. A "Life Support System" is any product or system intended to support or sustain life and/or health, which, if it fails, can be reasonably expected to result in significant personal injury or death. Silicon Labs products are not designed or authorized for military applications. Silicon Labs products shall under no circumstances be used in weapons of mass destruction including (but not limited to) nuclear, biological or chemical weapons, or missiles capable of delivering such weapons.

Trademark Information

Silicon Laboratories Inc.®, Silicon Laboratories®, Silicon Labs®, SiLabs® and the Silicon Labs logo®, Bluegiga®, Bluegiga Logo®, Clockbuilder®, CMEMS®, DSPLL®, EFM®, EFM32®, EFR®, Ember®, Energy Micro, Energy Micro logo and combinations thereof, "the world's most energy friendly microcontrollers", Ember®, EZLink®, EZRadio®, EZRadioPRO®, Gecko®, ISOModem®, Micrium, Precision32®, ProSLIC®, Simplicity Studio®, SiPHY®, Telegesis, the Telegesis Logo®, USBXpress®, Zentri and others are trademarks or registered trademarks of Silicon Labs. ARM, CORTEX, Cortex-M3 and THUMB are trademarks or registered trademarks of ARM Holdings. Keil is a registered trademark of ARM Limited. All other products or brand names mentioned herein are trademarks of their respective holders.



SILICON LABS

Silicon Laboratories Inc.
400 West Cesar Chavez
Austin, TX 78701
USA

<http://www.silabs.com>